



www.vlsisymposium.org



Media Contacts:

Secretariat for VLSI Symposia (Japan and Asia)
c/o JTB Communication Design, Inc.
Celestine Shiba Mitsui Bldg.
3-23-1, Shiba, Minato-ku, Tokyo 105-8335, Japan
Tel: +81-3-5657-0777
E-mail: vlsisymp@jtbcom.co.jp

BtB Marketing (North America and EU)
Chris Burke
BtB Marketing
co-Media Relations Director
Tel: +1-919-872-8172
E-mail: chris.burke@btbmarketing.com

For Immediate Release

Tip Sheet for 2017 Symposia on VLSI Technology and Circuits

京都(日本)発 –この Tip Sheet は 2017 VLSI Technology シンポジウムと VLSI Circuits シンポジウムにおいて発表される論文のうち、いくつかの最もニュース性の高い論文について概説するものである。Technology および Circuits シンポジウムは 6 月 5 日から 8 日まで京都のリーガロイヤルホテル京都にて開催される。

高解像度版のイメージについては、VLSI シンポジウム Web サイトの "Media" の項目をご覧ください。
www.vlsisymposium.org/press.html
用語集は、この Tip Sheet の最後にあります。

I) 2017 VLSI Technology シンポジウム ハイライト論文

Technology platform papers:

- T6-1 Highly Manufacturable 7nm FinFET Technology Featuring EUV Lithography for Low Power and High Performance Application (Samsung Electronics)
- T6-2 10nm High Performance Mobile SoC Design and Technology Co-Developed for Performance, Power, and Area Scaling (Qualcomm, Samsung Electronics)
- T6-3 First Demonstration of Flash RRAM on Pure CMOS Logic 14nm FinFET Platform Featuring Excellent Immunity to Sneak-path and MLC Capability (National Chiao Tung University, National Taiwan Normal University, UMC)

Papers to advance technology using novel materials:

- T6-4 First Demonstration of 3D SRAM through 3D Monolithic Integration of InGaAs n-FinFETs on FDSOI Si CMOS with Inter-layer Contacts (IBM Research GmbH Zürich Laboratory, CEA-Leti)
- T9-1 High Performance and Record Subthreshold Swing Demonstration in Scaled RMG SiGe FinFETs with High-Ge-Content Channels Formed by 3D Condensation and a Novel Gate Stack Process (IBM)
- T12-1 Nano-scaled Ge FinFETs with Low Temperature Ferroelectric HfZrOx on Specific Interfacial Layers Exhibiting 65% S.S. Reduction and Improved ION (National Nano Device Laboratories, National Cheng Kung University, National Chiao Tung University, National Sun Yat-Sen University, Industrial Technology Research Institute, National Applied Research Laboratories)

Papers to advance technology for non-conventional systems:

- JFS3-3 Performance Boost of Crystalline In-Ga-Zn-O Material and Transistor with Extremely Low Leakage for IoT Normally-Off CPU Application (UMC and Semiconductor Energy Laboratory)
- T2-3 A Low-Power Cu Atom Switch Programmable Logic Fabricated in a 40nm-node CMOS Technology (NEC)
- T13-1 Towards Quantum Computing in Si MOS Technology: Single-shot Readout of Spin States in a FDSOI Split-Gate Device with Built-in Charge Detector (Institut Néel, CEA LETI, CEA INAC-PHELIQS)

Papers to advance heterogeneous integration:

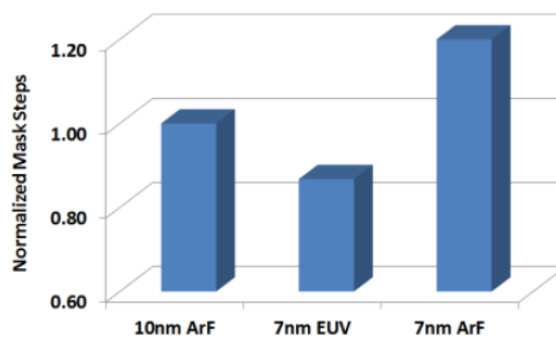
- T5-1 Wafer Level Integration of an Advanced Logic-Memory System through 2nd Generation CoWoS Technology (TSMC)
- T8-1 Towards a Fully Integrated, Wirelessly Powered, and Ordinarily Equipped On-lens System for Successive Dry Eye Syndrome Diagnosis (National Chiao Tung University)

T6-1 Highly Manufacturable 7nm FinFET Technology featuring EUV lithography for Low Power and High Performance Application (Ha et al., Samsung Electronics)

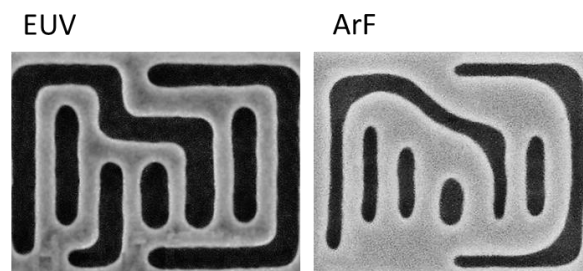
サムスン電子が EUV リソグラフィーを用いた 7nm 世代 CMOS 技術を発表する。4 世代目となる Fin FET 技術(Dual Fin Width)と 2 世代目となるマルチ仕事関数ゲート構造を適用した。前世代の 10nm 世代と比較した場合、高性能用途では 20%の性能改善、低消費電力用途では 35%の消費電力削減を実現した。

EUV リソグラフィーは、MOL コンタクト層と最密ピッチのメタル配線層とビア層の全てに適用されている。現行技術の ArF 液浸リソグラフィーを用いる場合と比べて、マスク枚数は 25%以上削減可能であり、より高いレイアウト忠実度と、より少ない寸法ばらつきの実現が可能となった。

SRAM PD (PG) NFET の A_{VT} は 1.29、PU PFET の A_{VT} は 1.34 という低い値により、HD SRAM テストチップでは、低電圧まで回路動作を検証することができた。



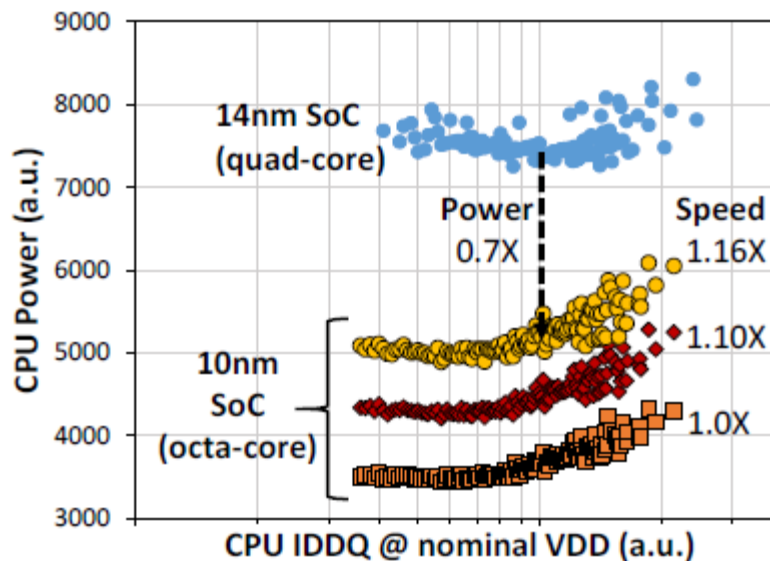
EUV リソグラフィーは、MOL (Middle-Of-Line)コンタクト層と最密ピッチのメタル配線層とビア層の全てに適用されている。ArF 液浸リソグラフィーと比べて、マスク枚数は 25%以上削減可能。



EUV リソグラフィーは、ArF 液浸リソグラフィーより 70%高いレイアウト忠実度により、良好なコーナーラウンディングと良好な CD ばらつきを実現した。

T6-2 10nm High Performance Mobile SoC Design and Technology Co-Developed for Performance, Power, and Area Scaling (Sam Yang et al., Qualcomm and Samsung Electronics)

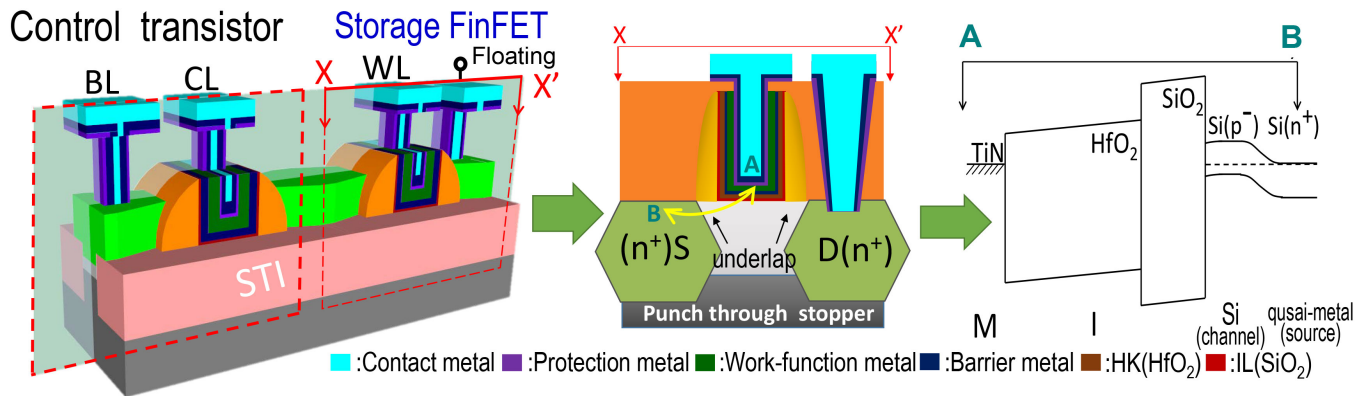
モバイル向け SoC は、高性能コンピューティング、AI、機械学習、AR/VR 体験を実現する重要なプラットフォームとなっている。Qualcomm は業界で初めてとなる 10nm の低消費電力高性能モバイル SoC の立ち上げに成功した。配線抵抗の増大やばらつき、レイアウト依存の応力の影響など 10nm 技術における微細化の問題を解決するために、設計と技術の協調開発を技術の選択から製品の立ち上げまで注意深く適用した。開発した 10nm SoC チップは、14nm 技術で作製した物に対して、16%の高速化、37%の縮小化、30%の低消費電力化を達成した。



10nm 技術の 8 コア SoC は、14nm 技術の 4 コア SoC に比べて、速度を向上しつつ CPU 消費電力低減を実現。

T6-3 First Demonstration of Flash RRAM on Pure CMOS Logic 14nm FinFET Platform Featuring Excellent Immunity to Sneak-path and MLC Capability (E. R. Hsieh et al., National Chiao Tung University, National Taiwan Normal University, UMC)

National Chiao Tung University, National Taiwan Normal University と UMC のグループは 14nmFinFET プラットフォームに搭載する High-k/Metal Gate を利用した Flash 型 RRAM を提案・検証した。このメモリはイオン空孔を利用したバイポーラタイプの RRAM である。Sneak-path 抑制のため、active fin isolation(AFI)という構成を新規に提案・検証しており、これにより S/N マージンは 3 ケタの改善効果を得ている。従来構成の AND-type メモリセルに比べてスタンバイパワーで 30%削減、アクティブパワーで 99%の削減効果を得ている。

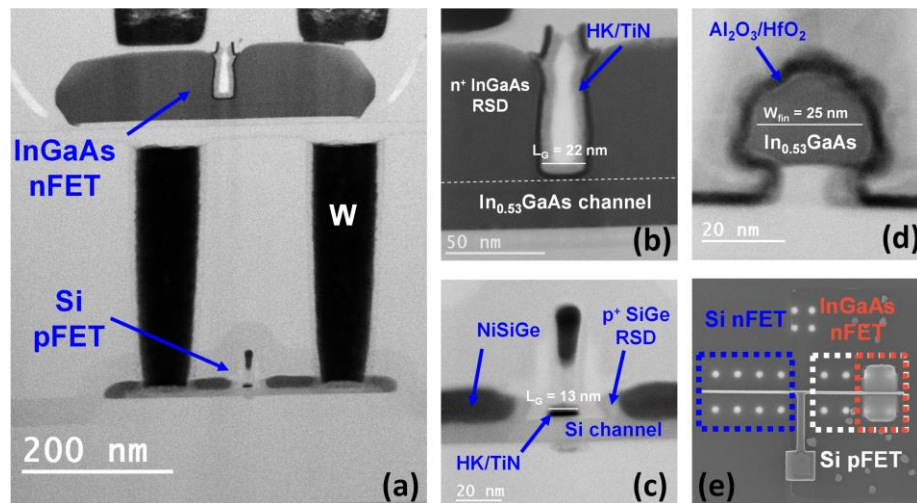


縦続接続され2つの同等な FinFET が埋め込み型フラッシュの機能を実現する。

(a) ユニットセル, (b) 断面図, (c) エネルギーバンド図.

T6-4 First Demonstration of 3D SRAM Through 3D Monolithic Integration of InGaAs n-FinFETs on FDSOI Si CMOS with Inter-layer Contacts (V. Deshpande et al., IBM Research GmbH Zürich, CEA-Leti)

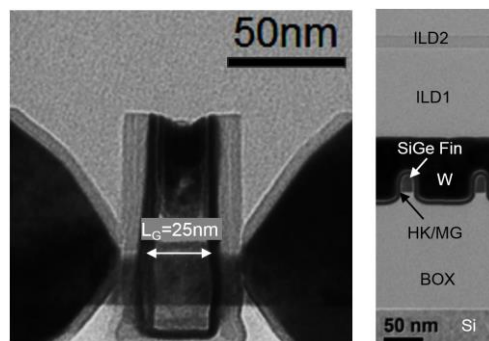
IBM と CEA-Leti は、FDSOI-CMOS 上にモノリシックに 3次元集積された nチャンネル FinFET 集積化技術について発表する。トップ層の InGaAs FinFET は、リプレースメントメタルゲート技術により作製され、下部のゲートファースト型 SOI-CMOS 層と TiN/W プラグにより接続される。トップ層は、せり上げソース・ドレイン構造(RSD)を持ち、ゲート長 25nm まで微細化されている。下部の CMOS 層は、n型では Si RSD、p型では SiGe RSD 構造を持ち、ゲート長 15nm まで微細化されている。上部の InGaAs nFETと下部の Si pFET で 3次元に高集積化された SRAM セルを構成し、2次元構造に比べてセルエリアの縮小に成功した。



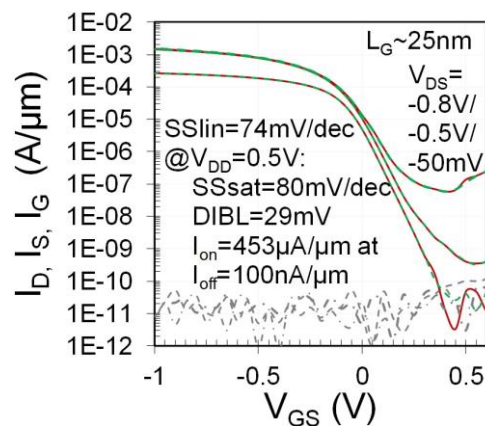
TEM 断面図 (a) SOI pFET 上の InGaAs nFET, (b) InGaAs nFET ($L_g = 25 \text{ nm}$), (c) Si pFET ($L_g = 13 \text{ nm}$), (d) InGaAs fin (幅 25 nm), (e) 3D インバータのトップ写真

T9-1 High Performance and Record Subthreshold Swing Demonstration in Scaled RMG SiGe FinFETs with High-Ge-Content Channels Formed by 3D Condensation and a Novel Gate Stack Process (P. Hashemi et al., IBM)

IBMは、リプレースメント・high k/メタルゲートプロセスを使って作製した高Ge組成ひずみSiGe pチャンネルFinFETの極微細素子動作を報告する。ここで、作製プロセスとして、Fin形成のための3次元酸化濃縮、Siキャップを使わない2段階Geフリー界面層をもつゲートスタック、極薄スペーサや改良ソース/ドレイン形成プロセスなどが使われている。このGeフリー界面層をもつゲートスタックにより、優れた信頼性とほぼ理想に近い62 mV/decのSS値が実現される。また、イオン注入を使わない極薄スペーサを用いた改良プロセスによって、オン抵抗と寄生抵抗が大幅に削減できる。結果として、25nmのゲート長の素子でオン電流 I_{on} が $-0.45 \text{ mA}/\mu\text{m}$ という、これまでで一番すぐれたSiGe pMOSFETの性能が実証される。以上の内容を通じて、本リプレースメント・high k/メタルゲートをもつ高Ge組成ひずみSiGe FinFETが、 -0.5V の低電源電圧下での高性能トランジスタに適合していることが示される。



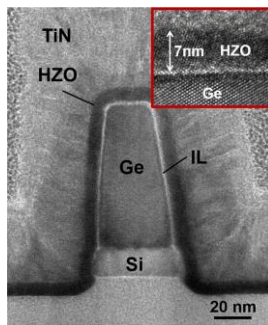
作製された SiGe FinFET の TEM 写真



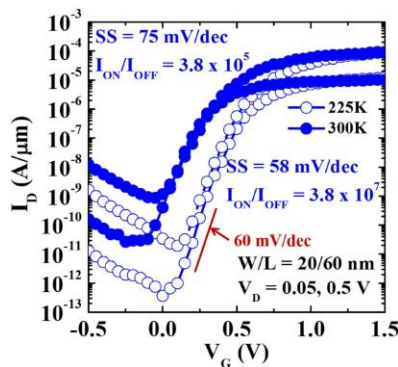
ゲート長 25 nm の SiGe FinFET の $I_D, I_S, I_G - V_G$ 特性

T12-1 Nano-scaled Ge FinFETs with Low Temperature Ferroelectric HfZrO_x on Specific Interfacial Layers Exhibiting 65% S.S. Reduction and Improved I_{ON} (C. -J. Su et al., National Nano Device Laboratories, National Cheng Kung University, National Chiao Tung University, National Sun Yat-Sen University, Industrial Technology Research Institute, National Applied Research Laboratories)

超低消費電カトランジスタとして HfO₂ 材料をベースとした強誘電体ゲート絶縁膜を用いた急峻スロープトランジスタが注目を集めている。本論文で著者たちは、アニール条件を系統的に調べ、異なる種類の界面層を有する強誘電体 HfZrO_x ゲートスタックを形成し、Ge の N 型および P 型 FinFET の動作を初めて実証した。マイクロ波アニールを用いることで強誘電体特性を向上するだけでなく、ゲートリークや Ge の相互拡散を抑制することに成功した。ゲート長 60nm で界面層を GeO_x とした強誘電体 HfZrO_x ゲートスタックの Ge N 型 FinFET において、電流オンオフ比が $>10^7$ かつサブスレシールド係数が 58mV/dec という優れた特性を示した。



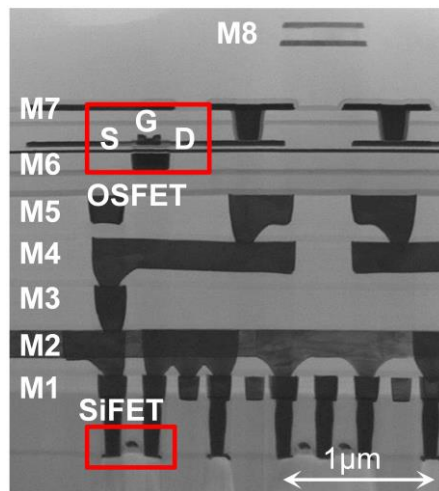
試作した強誘電体 HfZrO_x ゲートスタックを有する Ge FinFET の断面 TEM 像



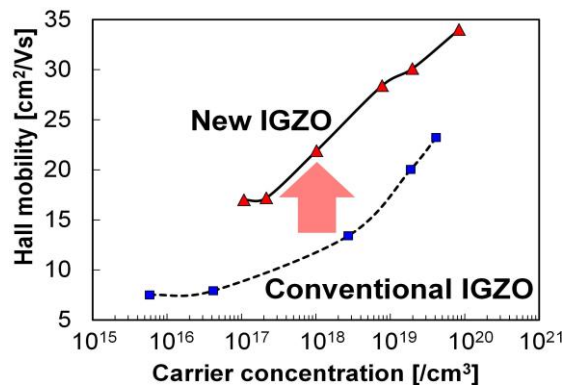
試作したフィン幅 20nm、ゲート長 60nm の Ge N-FinFET の Id-Vg 特性の測定結果

JFS3-3 Performance Boost of Crystalline In-Ga-Zn-O Material and Transistor with Extremely Low Leakage for IoT Normally-Off CPU Application (Shao Hui Wu, et. al., UMC and Semiconductor Energy Laboratory)

UMC と半導体エネルギー研究所は、従来よりも高い移動度を持つ IGZO 膜をチャンネルに用いることにより、IGZO チャンネル電界効果トランジスタのオン電流を $4.7\mu\text{A}$ から $9\mu\text{A}$ に向上させることに成功した。この IGZO チャンネルと二重フィンガー構造をノーマリーオフ型 CPU に適用した。二重フィンガー構造とすることにより、 S 値を抑制したままチャンネル幅を増やすことが出来る。これらの組み合わせにより、100 MHz で動作するノーマリーオフ CPU を実現した。これに加えて FPGA も作成し、360 MHz で動作させることに成功した。



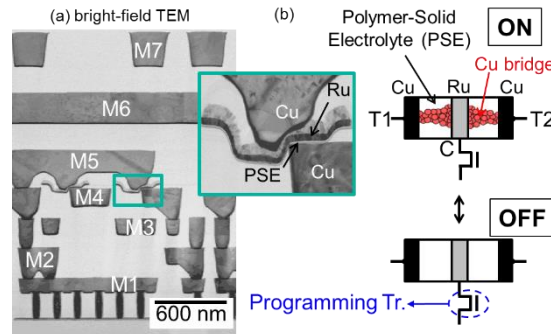
65 nm ノード Si FET と、60 nm ノード OSFET を混載した素子の断面



新しく開発された IGZO と従来の IGZO の移動度比較

T2-3 A Low-Power Cu Atom Switch Programmable Logic Fabricated in a 40nm-node CMOS Technology (X. Bai et al., NEC)

NEC は 40nm 世代の CMOS 技術を使って集積化した、銅原子スイッチを用いた不揮発プログラマブルロジックの実証結果を発表する。従来型商用プログラマブルロジックに対して、2 倍のロジック密度、3.8 倍の動作速度、3 倍の電力効率を実現した。発表では、プログラム時に原子スイッチを選択するための選択トランジスタを、高耐圧トランジスタからコアトランジスタへ変更するための原子スイッチの改良技術などについても説明する。



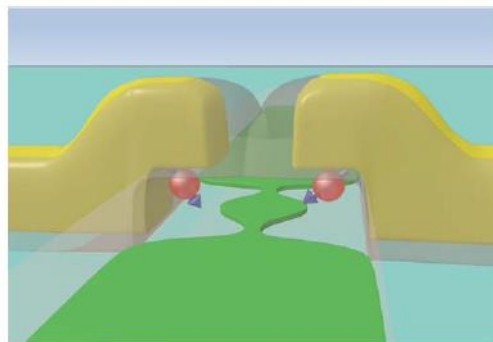
40nm 世代技術で作製した不揮発相補型原子スイッチ(a)透過型電子顕微鏡写真, (b) 原子スイッチのオンオフを示す模式図。

	This work	Commercial
Switch	Atom switch	Pass Tr.
Process node	40 nm	40 nm
Number of LUTs	6400	1280
Logic density [mm^{-2}] (= No. of 4-input -LUT per Area)	2532	1320
Max. Speed at 0.8V	27 MHz	7.1 MHz
VDDmin at 15MHz	0.675 V	0.94 V
Dynamic power at VDDmin	13 $\mu\text{W}/\text{MHz}$	39.5 $\mu\text{W}/\text{MHz}$
Active power at VDDmin	386 μW	630 μW

性能比較表 (Application: ALU). ロジック密度、動作速度、電力効率の全てにおいて、従来型商用プログラマブルロジックよりも優れた値を示した。

T13-1 Towards Quantum Computing in Si MOS Technology: Single-shot Readout of Spin states in a FDSOI Split-Gate Device with Built-in Charge Detector (M. Urdampilleta et al., Institut Néel, CEA LETI, CEA INAC-PHELIQS)

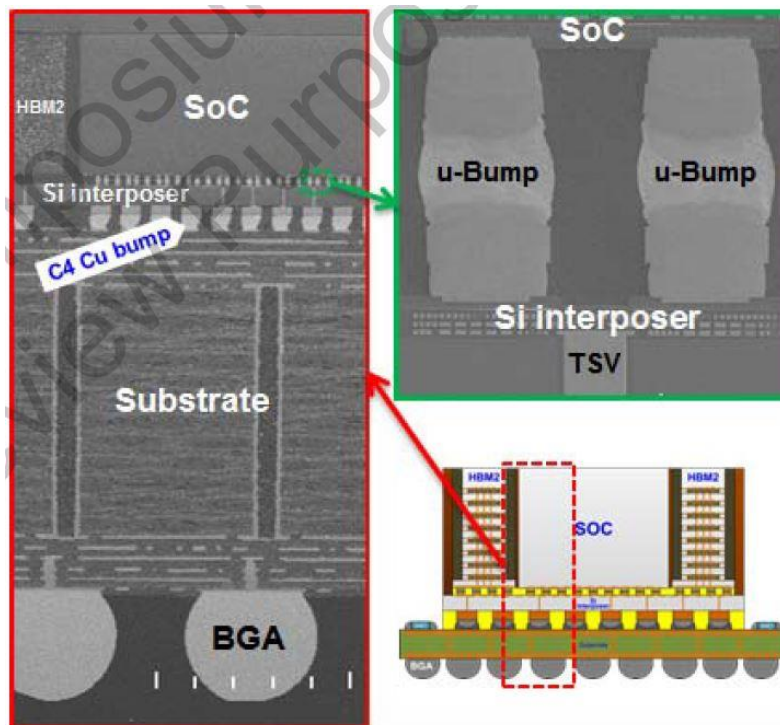
Institut Néel、CEA LETIとCEA INAC-PHELIQS は量子ドット中の単一スピンをリアルタイムで観測する技術を発表する。この観測技術は、ファウンドリーと互換性のある Si MOS 技術とスリットゲート構造の埋め込み型電荷検知器によって実現される。実証したスピン状態の単一読み出しは、シリコンを用いた誤り耐性のある量子コンピューティングを実現する上での不可欠な技術であり、シリコンスピ量子ビットを MOS 技術で実現することが将来の実現可能な技術オプションであることを示している。



スプリットゲート構造デバイスと埋め込み型の電荷検知器。スピン状態を保持する量子ドットはゲートの角近傍に形成され、ゲートによって制御される。ゲート間に単電子素子(緑の領域)が形成され、量子ドットと容量結合している。

T5-1 Wafer Level Integration of an Advanced Logic-Memory System Through 2nd Generation CoWoS Technology (W. Chris Chen et al., TSMC)

TSMC が最先端ロジックチップと最大6つまでの 8 層積層 DRAM チップ(HBM2)をウェハレベルで集積可能な第 2 世代 CoWoS 技術を発表する。マイクロバンプや TSV、ロジックチップや積層 DRAM チップ等のヘテロインテグレーションによる基板反り問題を緻密なプロセスチューニングによって解決し、最大 1200mm²までのシリコンインターポーザ上への高密度実装を実現している。第 2 世代 CoWoS はロジックとメモリチップのヘテロ集積による高性能コンピューティングを実現するフレキシブル 3D-IC プラットフォームと位置付けられる技術である。

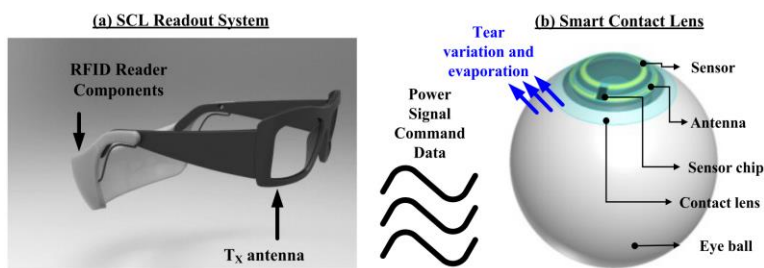


マイクロバンプ、Si インターポーザ、TSV、C4 銅バンプ、基板、BGA、最先端ロジックチップ、積層 DRAM チップ(HBM2)からなる CoWoS-2 の断面電子顕微鏡写真

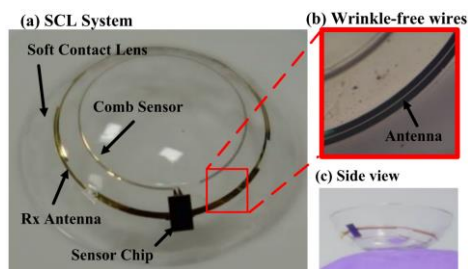
CoWoS-2: 2nd Generation Chip-on-Wafer-on-Substrate
HBM2: 2nd Generation High Bandwidth Memory

T8-1 Towards a Fully Integrated, Wirelessly Powered, and Ordinarily Equipped On-lens System for Successive Dry Eye Syndrome Diagnosis (J.-C. Chiou et al., National Chiao Tung University)

国立交通大学は、連続的に涙の蒸発を測定することが出来るスマートコンタクトレンズ(SCL)を発表する。このシステムは、涙センサーとアンテナを埋め込んだ生体適合性のあるハイドロゲル材のコンタクトレンズと、感度調節可能なセンサー信号読み取り回路で構成されている。また市販の RFID 読み取り装置を用いて、レンズ上のシステムに対してセンサーの制御とデータ通信を行うことが出来る。被験者は、この SCL を着用して連続的に涙の成分の監視を行うことが出来る。



コンタクトレンズ・センサーシステム. (a) 読み取りシステム, (b) センサー, アンテナ, センサーチップが集積されたスマートコンタクトレンズ



シワが寄らない流し込み成型によってソフトコンタクトレンズに埋め込まれたセンサーシステム

II) 2017 VLSI Circuits シンポジウム ハイライト論文

VLSI 回路シンポジウムからは以下の 15 件のハイライト論文を紹介いたします。

ハイライト論文一覧

プロセッサ・メモリ領域

(C20-1) University of Michigan

Recryptor: A Reconfigurable In-Memory Cryptographic Cortex-M0 Processor for IoT

(C2-1) Hokkaido University, Tokyo Institute of Technology, Keio University

BRein Memory: A 13-Layer 4.2 K Neuron/0.8 M Synapse Binary/Ternary Reconfigurable in-Memory Deep Neural Network Accelerator in 65nm CMOS

(C26-2) ARM Ltd.

A 12.4pJ/cycle sub-threshold, 16pJ/cycle near-threshold ARM Cortex-M0+ MCU with autonomous SRPG/DVFS and temperature tracking clocks

(C12-2) University of Michigan, Fujitsu Laboratories, Ltd

A 0.3V $V_{DD_{min}}$ 4+2T SRAM for Searching and In-Memory Computing Using 55nm DDC Technology

バイオ・センサ領域

(C19.1) Sony Semiconductor Solutions Corporation, Sony LSI Design Inc., Sony Electronics Inc.

A 4.1Mpix 280fps Stacked CMOS Image Sensor with Array-Parallel ADC Architecture for Region Control

(C9-1) Arizona State Univ., Samsung Research Center-Beijing, Samsung Advanced Institute of Technology

A 1.06 μ W Smart ECG Processor in 65nm CMOS for Real-Time Biometric Authentication and Personal Cardiac Monitoring

(C4-1) National Chiao Tung University

A Fully Integrated Closed-Loop Neuromodulation SoC with Wireless Power and Bidirectional Data Telemetry for Real-Time Human Epileptic Seizure Control

(C24-1) Korea Advanced Institute of Science and Technology, Samsung Electronics Co., Ltd.

A 10.1" 56-Channel, 183 μ W/electrode, 0.73 mm^2 /sensor High SNR 3D Hover Sensor Based on Enhanced Signal Refining and Fine Error Calibrating Techniques

アナログ領域

(JFS2-1) Intel Corporation

A Digitally Controlled Fully Integrated Voltage Regulator with 3D-TSV-Based On-Die Solenoid Inductor with Backside Planar Magnetic Core in 14nm Tri-Gate CMOS

(C8-1) imec

A 16nm 69dB SNDR 300MSps ADC with Capacitive Reference Stabilization

(C11-1) Broadcom Corporation, Delft University of Technology

A Capacitively-Degenerated 100dB Linear 20-150MS/s Dynamic Amplifier

通信領域

(C23-1) Tokyo Institute of Technology, Samsung Electronics Co., Ltd.

A 100mW 3.0 Gb/s Spectrum Efficient 60GHz Bi-Phase OOK CMOS Transceiver

(C14-1) Taiwan Semiconductor Manufacturing Company [TSMC] , University College Dublin

A 0.5V 1.6mW 2.4GHz Fractional-N All-Digital PLL for Bluetooth LE with PVT-Insensitive TDC Using a Switched-Capacitor Doubler in 28nm CMOS

(C25-1) IBM Corporation

A 32 Gb/s, 4.7 pJ/bit Optical Link with -11.7dBm Sensitivity in 14nm FinFET CMOS

(C25-2) IBM Corporation, École polytechnique fédérale de Lausanne [EPFL]

A 60 Gb/s 1.9 pJ/bit NRZ Optical-Receiver with Low Latency Digital CDR in 14nm CMOS FinFET

プロセッサ・メモリ領域

IoT 世代のプロセッサには、セキュリティーと人工知能に対応した複雑な演算機能が求められています。最新の標準暗号仕様に準拠するためにはセンサ等の末端機器で使用されるプロセッサにおいても高度な暗号演算を、限られた消費電力で効率よく実装する必要があります。人工知能応用では推論あるいは認識処理に対応した演算機能を効率よく小面積で実装する必要があります。また、通信性能が律速しないようにできるだけメモリ内(In-Memory)で演算することで性能が向上します。以下のハイライト論文では、アルゴリズムの効率化と省電力回路の工夫により、IoT 世代ならではの課題を克服した 3 件のプロセッサに関する論文と、検索機能や基本演算が可能な超低電圧動作可能な SRAM に関する論文を紹介します。

(Paper C20.1) University of Michigan

Recryptor: A Reconfigurable In-Memory Cryptographic Cortex-M0 Processor for IoT

IoT 向けリコンフィギャラブル・インメモリ暗号用 Cortex-M0 プロセッサ
Zhang Yiqun et al.

ミシガン大学からは、従来のソフトあるいはハード実装技術に比べ、演算性能と省電力性能を向上させた暗号処理プロセッサが発表されます。メモリ回路内部にプログラム可能な小演算ブロックを同居させることにより、暗号仕様特有の高ビット幅演算処理を高速かつ省電力で実現しました。40nm CMOS 技術で作製した暗号処理プロセッサは、従来技術に比べ、6.8 倍の処理速度向上、12.8 倍の省電力化を達成しました。

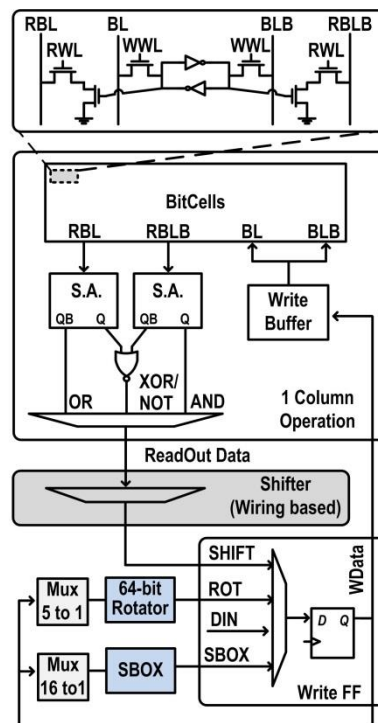


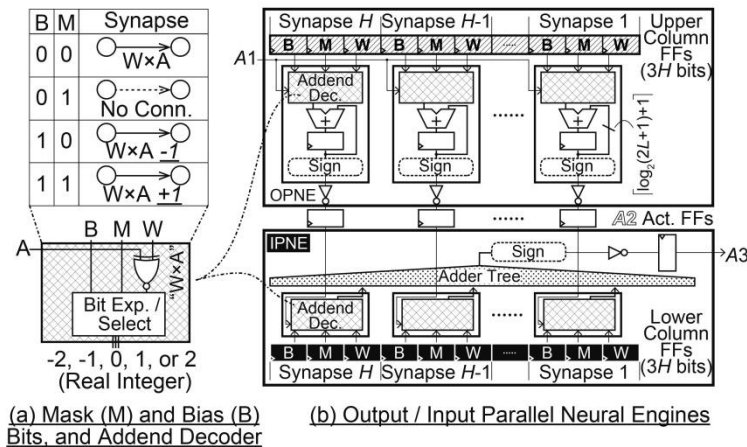
Fig.2. Proposed Crypto-SRAM Bank (CSB).

この図は、Crypto-SRAM バンクと呼ばれるメモリ内の計算ブロックを示しています。このブロックが広いビット幅のデータを SRAM から容易に読み出した後すぐに処理され、暗号化アルゴリズムに従って SRAM に書き戻されます。

BRein Memory: A 13-Layer 4.2 K Neuron/0.8 M Synapse Binary/Ternary Reconfigurable in-Memory Deep Neural Network Accelerator in 65nm CMOS

BRein Memory: 13 層 4.2K ニューロン/0.8M シナプス、2 値/3 値対応、65nm CMOS、リコンフィギャラブル・インメモリ型深層ニューラルネットワークアクセラレータ
Kota Ando et al.

ディープニューラルネットワーク(DNN)に対する注目度が年々高まっていますが、そのハードウェア実装においては膨大な計算量とメモリアクセスが必要であり、面積/電力/エネルギー効率の低下が問題となります。高性能性と高エネルギー効率を達成することを目的とした DNN アクセラレータの実現例も多数報告されていますが、その多くは適用対象に合わせてカスタマイズされたものであり、汎用性が犠牲になっています。北海道大学、東京工業大学、慶應義塾大学が提案する DNN アクセラレータは、PIM(プロセッシング・イン・メモリ)モジュールと呼ばれる演算モジュールを、FPGA のように再構成可能な演算アレイとして配置した構造となっており、さまざまな DNN をエミュレートできます。さらに、各 PIM モジュールは 2 値/3 値 DNN をマッピングできるように設計されており、わずかな精度の低下を許容することでメモリと計算コストが大幅に削減されます。65nm CMOS プロセスによる試作を通し、CPU、GPU、FPGA 実装と比較して、10~100 倍の性能向上および 100~10000 倍のエネルギー効率を達成するとともに、近年報告された CNN アクセラレータを上回る 1.4TOPS での動作を達成しています。



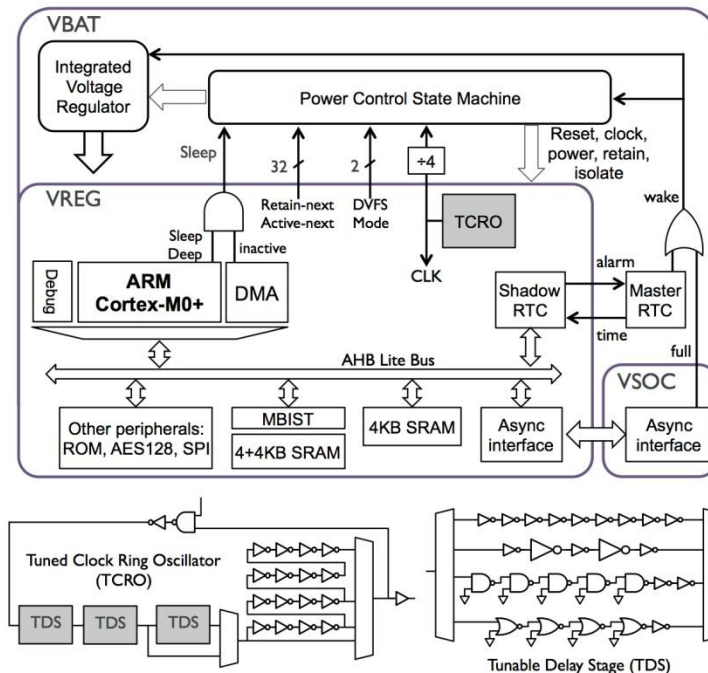
3 値用の出力・入力並列のニューラルエンジン

A 12.4pJ/cycle sub-threshold, 16pJ/cycle near-threshold ARM Cortex-M0+ MCU with autonomous SRPG/DVFS and temperature tracking clocks

自動 SRPG/DVFS 機能と温度追従するクロック機能をもつ
12.4pJ/cycle サブスレッシュホールド・16pJ/cycle ニアスレッシュホールドの ARM Cortex-M0+MCU
James Myers et al.

ARM は IoT 用途のサブスレッシュホールド動作(トランジスタのしきい値電圧以下の電圧で動作)する ARM Cortex M0+ MCU を発表します。Cortex M0+は無線のセンサノードなどの電池駆動デバイスで使われており、それゆえに低電

力動作が必須です。この MCU では、動作時の消費電力量を 12.44pJ/サイクルに低減するとともに、待機時の電力を 139.4nW まで低減しています。これらは、以前の同社の MCU の消費電力をほぼ半減した値です。これらの性能は、状態を保持したパワーゲーティング(State-retention power gating; SRPG)および動的電圧周波数制御(DVFS)技術を導入することで達成されています。これらの技術をサブスレシールド動作で効率的に動作させるために、クロック周波数が動作温度に応じて調整されます。サブスレシールド動作では、動作温度が最大の動作周波数に与える影響が大きいため、この技術は効果的です。クロック周波数は性能が調整されたクロックリングオシレータ(Tuned Clock Ring Oscillator; TCRO)を用いて調整されます。回路動作の正しさと消費電力は EEMBC の ULPBench を用いて確認されています。このベンチマークは、低消費電力の IoT 向けの動作負荷を測定する場合に用いられるものです。



MCU チップとクロック調整用 TCRO のブロック図

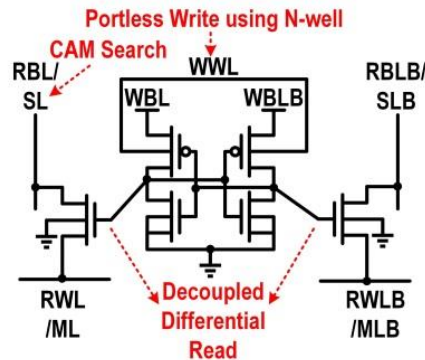
(Paper C12.2) University of Michigan, Fujitsu Laboratories, Ltd

A 0.3V VDDmin 4+2T SRAM for Searching and In-Memory Computing Using 55nm DDC Technology

検索とインメモリコンピューティング向け最小電源電圧 0.3V 動作の 55nm DDC プロセス 4+2T SRAM
Qing Dong et al.

ミシガン大学と富士通セミコンダクタアメリカ社は最小電圧 0.3V で動作し検索やメモリアレー内での演算が可能な 4+2T SRAM を発表します。彼らの開発した DDC 技術(チャネル空乏化技術)がもたらす従来よりも大きな基板効果を利用することで、メモセルの N ウェルがデータ書き込み用ワード線として使えるようになりました。この結果、従来の SRAM セルにおいてビット線とメモセルをつないでいた2つのアクセストランジスタがデータ書き込み時には不要となります。さらに、この2つのアクセストランジスタをリード専用とすることで、データの差動読み出しが可能となり、メモリアレー内でのブール論理演算に必要な複数ワード線の同時選択動作や、0.3V という低電圧動作が確実にできるよう

になります。今回提案された SRAM は BCAM や TCAM としても使用することができるため、検索動作も可能となります。



書き込みワードラインとデカップルされた読出・書込バスを実装した N-well を活用した 4+2T SRAM メモリセル

センサ・バイオ領域

IoT への期待が高まる中、実世界空間の情報をサイバー空間に取り込み、デジタル空間処理することで実空間に最適制御をフィードバックするサイバーフィジカルシステムにおいて、世界や生体の複雑かつ大規模な情報を取り込む技術がキーとなっています。本領域では、このようなセンシング技術に関する論文から 4 本の論文をハイライトしました。サーベイランスや産業機器向けに大規模な映像情報を効率よく取得可能なイメージセンサ、生体から取得したセンシング情報を活用してリアルタイムな生体の認証や突発な発作を抑制する技術論文を紹介しします。加えて、物理的なセンサとして、スマートフォンでパネルに指をタッチしていなくても指の 3D 動きを高精度、高 SN で検出するタッチパネル用ホバーセンサ回路も紹介しします。

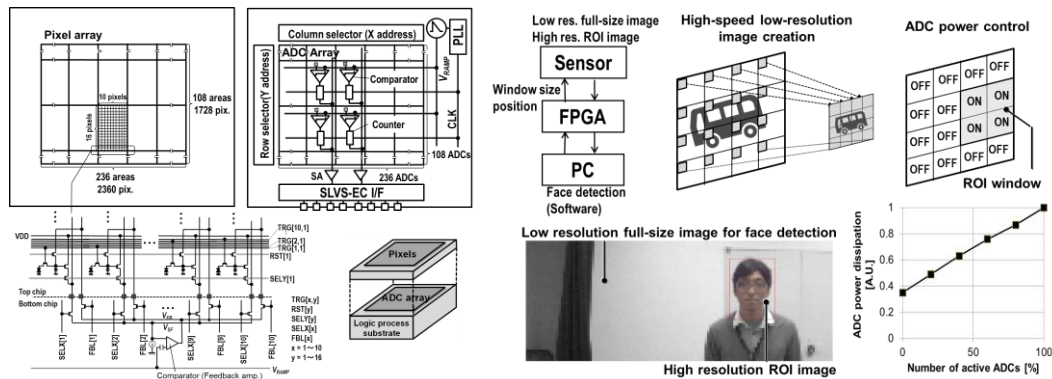
(Paper C19.1) Sony Semiconductor Solutions Corporation, Sony LSI Design Inc., Sony Electronics Inc.

A 4.1Mpix 280fps Stacked CMOS Image Sensor with Array-Parallel ADC Architecture for Region Control

部分制御アレイ並列 AD 変換方式のアーキテクチャによる 4.1Mpix、280fps 積層 CMOS イメージセンサ
Tomohiro Takahashi et al.

積層型 CMOS イメージセンサ(CIS)はモバイル端末での多機能化やユーザ体験を高めています。積層構造は信号処理の並列化や信号処理の搭載を可能にしています。更に、ヘテロプロセス技術の実装やグローバルシャッタ画素の搭載も可能になりました。一方で表面照射型グローバルシャッタや列並列 AD 変換方式では高感度、自由度をもった興味のある対象部分のみの読み出し(ROI: Region Of Interest 読み出し)が技術的に困難です。

ソニーは、監視(サーベイランス)、産業機器向けにデータ帯域、消費電力を低減する ROI 領域が制御可能なイメージセンサを発表しします。画像歪のない、自由度をもった ROI 制御はアレイ並列アーキテクチャにより実現し、適応的な AD 変換器の低消費電力化を可能にします。更に、4.2 電子の暗時ノイズは FD 型グローバルシャッタを用いたアクティブリセット型方式とフレーム間 CDS 動作により達成しています。



上図は ROI によるインテリジェントセンサシステムを可能にするアレイ並列 AD 変換方式のアーキテクチャを示します。

(Paper C9.1) Arizona State University, Samsung Research Center-Beijing, Samsung Advanced Institute of Technology

A 1.06 μ W Smart ECG Processor in 65nm CMOS for Real-Time Biometric Authentication and Personal Cardiac Monitoring

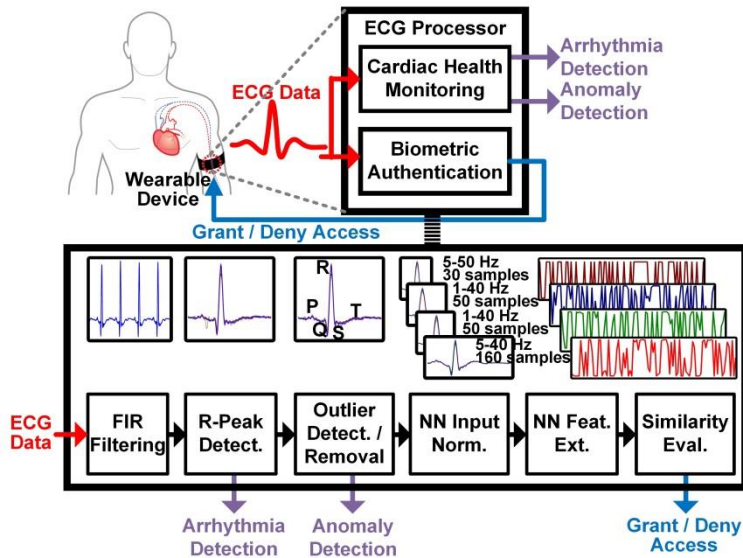
リアルタイム生体認証とパーソナル心電モニタリング用 65nm CMOS プロセスによる
1.06 μ W スマート ECG プロセッサ
Shihui Yin et al.

ECG(心電図)は心筋細胞活動に伴う電気信号の計測結果であり、不整脈のような心臓の不調に関する多くの情報を得ることができます。心臓病患者は日常的なモニタリングが必要ですが、微弱信号である心電図は特別な装置を用いて安静状態で測定することが必要なため、そのような日常的なモニタリングは困難であるのが現状です。

ウェアラブル ECG デバイスはこの要求に合致しており、医療応用だけでなく、ヘルスケアやスポーツ科学用デバイスとしても有望です。ウェアラブル ECG デバイスにおける喫緊の要請事項は低消費電力化です。ECG 信号はそのままではデータサイズが大きいため、無線データ伝送時の電力消費を抑制するためには低消費電力の信号処理やデータ圧縮が必要となります。その他の課題として ECG 信号のような個人情報を送信する際のセキュリティの確保があり、これは無線データ伝送機能を有するウェアラブルデバイスにとって共通の課題です。

アリゾナ州立大学とサムソンは低消費電力スマート ECG プロセッサを開発しました。このプロセッサは図に示すように、ECG データによる生体認証、不整脈検出、異常な ECG パルス波形検出(異常検出)を実行するよう設計されました。ECG 信号は個人毎に異なるものであるため、生体認証に使うことができます。これまでの報告と比べて、今回の報告は ECG 生体認証のための ASIC としては初めてであり、645 検体に共通に適用したニューラルネットワーク学習アルゴリズムを用いて極めて低い誤り率を実現できています。

電源電圧 0.55V、クロック 2kHz で ECG 生体認証、不整脈、異常検出を実現する 1.06 μ W-ECG プロセッサを 65nm 低消費電力 CMOS プロセスで試作しました。Lasso 正則化によるデータ駆動型スパース性強調法を用いることで、ニューラルネットワークの重みデータ量を圧縮し、かつより低い等価エラー率を実現しています。



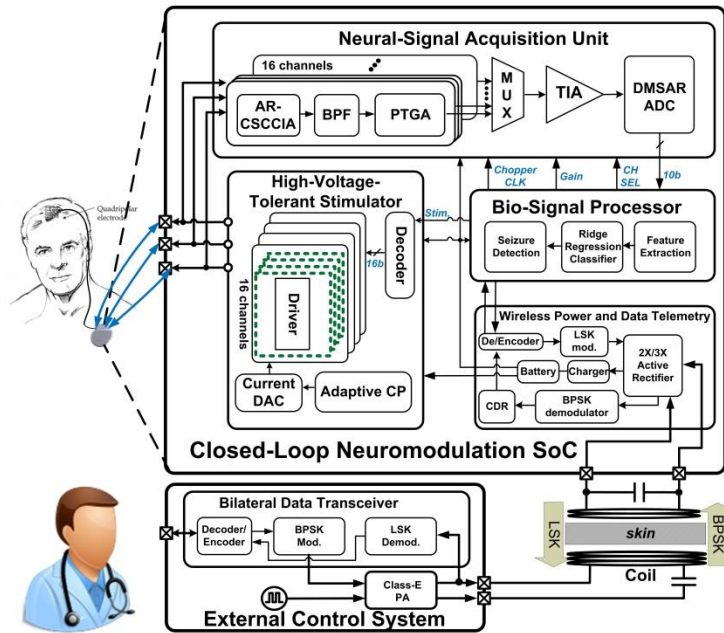
アリゾナ州立大学, サムソン研究センター, サムソン先端技術研究所は, ECG 生体認証, 不整脈, 異常検出を実現する低消費電力スマート ECG プロセッサを開発。このプロセッサはニューラルネットワーク学習アルゴリズムに基づき極めて低い誤差率を実現。

(Paper C4.1) National Chiao Tung University

A Fully Integrated Closed-Loop Neuromodulation SoC with Wireless Power and Bidirectional Data Telemetry for Real-Time Human Epileptic Seizure Control

てんかん発作を瞬時に抑制する無線給電・双方向データ通信を含む
完全集積化した閉ループ神経抑制 SoC
Cheng-Hsiang Cheng et al.

台湾国立交通大学は、無線給電可能な(つまり人体に移植可能な)てんかん発作検出および抑制を行う完全集積された SoC を開発しました。今日の世界人口のおよそ 1% に影響があるとされる一般的な神経疾患であるてんかん治療に利用します。この神経抑制 SoC は、脳から発せられる ECoG 信号を 16 チャンネルの電極で常時計測し、てんかん発作の発現を検出すると、刺激パルス信号を発生させて、てんかん発作を抑制します。近年報告されている神経抑制 SoC の中でも最も高い、97.76% という検出精度を達成しました。



台湾国立交通大学は、閉ループでの神経抑制を行うために必要な全ての構成要素、アナログ信号計測用フロントエンド、生体信号処理プロセッサ、適応制御型ニューロン刺激信号発生器、無線給電ユニット等を 0.18 μ m CMOS 技術で製造した 5x5 mm² の SoC に集積。

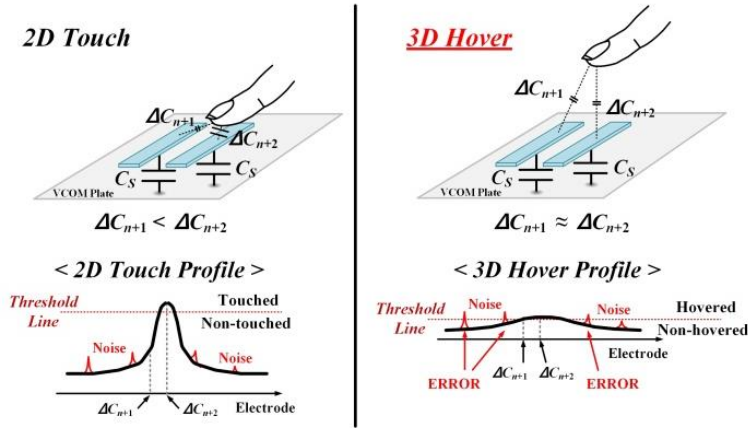
(Paper C24.1) Korea Advanced Institute of Science, Technology and Samsung Electronics Co., Ltd.

A 10.1" 56-Channel, 183 μ W/electrode, 0.73 mm²/sensor High SNR 3D Hover Sensor Based on Enhanced Signal Refining and Fine Error Calibrating Techniques

信号高分解化と高精度誤差校正に基づく 10.1" 56 チャンネル 183 μ W/電極、0.73mm²/センサ
高 SNR 3D ホバーセンサ
Yeunhee Huh et al.

今日のタッチパネルの性能はタッチされる対象(人の指)への感度の低さで制限されています。これは、その対象とパネル電極間に高い容量を必要とする相互容量センシングの原理に基づくためです。その結果、感度は低く、パネルは 2 次元位置情報を検出することしかできません。この課題に対処するために、Korea Advanced Institute of Science and Technology (KAIST) and Samsung Electronics Co., Ltd.の研究グループは将来の携帯電話向けパネルをターゲットとした、新たな 3D の動き(ホバー)をセンシング可能な回路を提案しています。この回路は、タッチする対象自体の(自己)容量の変化を検出すること(self-capacitance sensing scheme: SCSS)で対象の 3D 空間での動き(ホバー)を検出する原理に基づいているので、より高い感度と、より高空間分解能でタッチ位置を検出することが可能です。本提案では、異なる電極の信号をひとまとめにして、信号のプロファイルをチューニングすることで高い信号雑音比(SNR)を達成しました。特に、従来の SCSS 方式に基づく回路がパネルオフセットを除

去しなければならぬために高い消費電力を伴うという欠点があったのに対し、この研究グループは、駆動回路と検出回路を分離することで、このオフセットを自動でキャンセルすることに成功し、消費電力さらにはチップ面積をも低減しました。その結果、非常に高い SNR(39dB)と低い消費電力(183uW/electrode)が達成できました。



上の図は従来の“2D タッチ(左)”センシングと新しいの“3D 動き(ホーバー)(右)”センシング方式の比較を概略で示しています。従来方式では、対象(指)とタッチされるパネル(ΔC_{n+2})との間の容量変化が大きいときにだけ信号検出可能で、そのために対象はパネルに確実に接触する必要があります。今回提案されたセンサは、各パネルと指の間の容量変化を指がパネルから離れている場合にも、3次元空間での動きを検出可能とします。各々の容量変化信号は比較的小さく、閾値を用いた検知は難しいのですが、いくつかの電極からの信号をまとめて(合成)することで高い信号対雑音比(SNR)を実現しました。

アナログ領域

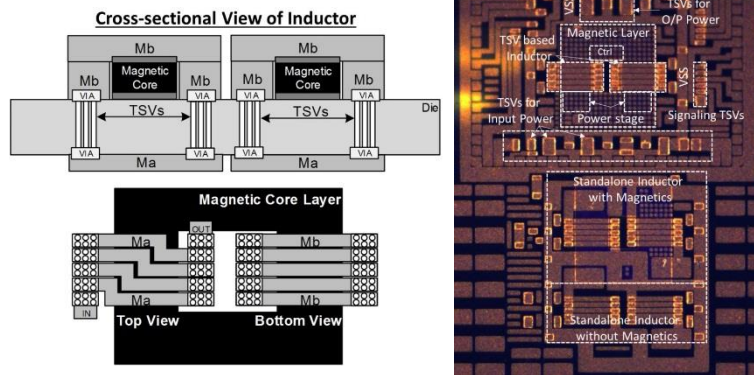
アナログ領域からは、3次元実装による高密度パッケージ時代の高効率な電源技術と、実世界の情報をデジタル情報に変換するアナログ・デジタルコンバータ(ADC)の高精度化技術についての論文をハイライトします。電源回路では TSV にて 3次元実装されたチップ積層構造を活かした最先端プロセスの電圧レギュレータ技術を紹介します。また、ADC 領域ではより高精度に実世界情報を収集するための ADC の高精度化技術について 2本の論文を紹介します。

(Paper JFS2.1) Intel Corporation

A Digitally Controlled Fully Integrated Voltage Regulator with 3D-TSV-Based On-Die Solenoid Inductor with Backside Planar Magnetic Core in 14nm Tri-Gate CMOS

14nm Tri-Gate CMOS テクノロジーを用いた背面プレーナ磁気コアを有する 3次元 TSV ベースのオンチップソレノイドインダクタを集積化したデジタル制御電圧レギュレータ
H. K. Krishnamurthy et al.

インテルは 14nm トライゲート CMOS テクノロジーを用いて、TSV による 3 次元実装されたヘテロジニアス・マルチチップパッケージ向けに降圧電源回路を開発しました。業界トップクラスの電力変換効率を達成するとともに、TSV を構造の一部に用いた面積効率の高いインダクタを集積化しています。複数のチップが一つのパッケージ内に高密度で実装されるシステムでは、全体での発熱量に対する制約から、各チップのパフォーマンスは抑制されます。このためオンチップ電源回路にとっては、高負荷時の効率を最大化することよりは、負荷が低くなっても効率が下がらないことの方が重要な設計目標になります。1.2V 入力から 0.4~1.1V を生成する本電源回路では、ヒステリシス制御やパルス周波数変調制御を用いて低負荷時の効率を改善し、1.5mA 供給時(最大負荷 25mA の 6%に相当)にも 77% という高い効率をキープしています。また、TSV とチップ上下の厚膜メタル層 2 層から成る配線をチップ周囲に 4.5 ターンさせ、チップと厚膜配線の間には透磁率の高いプレーナ型磁気コアを挟むことで、111nH/mm² にという世界最高の面積効率を達成しています(注:ノンプレーナ型磁気コアを用いた従来型に比べて 2 倍以上、プレーナ型スパイラルインダクタに対しては 8 倍以上)。



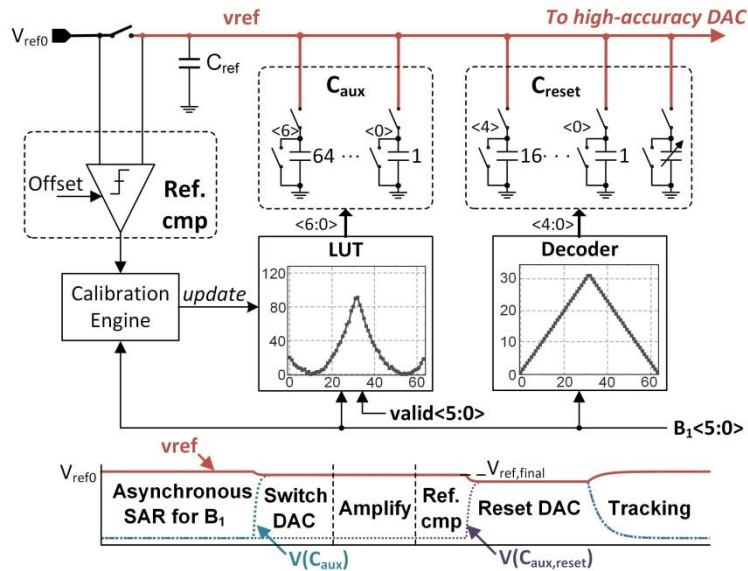
14nm Tri-gate CMOS テクノロジーで試作された電圧レギュレータのチップ写真と TSV ベースのオンチップインダクタ

(Paper C8.1) imec

A 16nm 69dB SNDR 300MSps ADC with Capacitive Reference Stabilization

容量性の参照電位安定化機能を有する変換速度 300MS/s SNDR=69dB 精度の 16nmAD コンバータ Ewout Martens et al.

imec から報告されます 16nm プロセスによる、変換速度 300M サンプル/秒、SNDR=69dB の精度を有するパイプライン構成逐次比較型 ADC では、内蔵 DAC のスイッチングにより発生する参照電圧の変動を抑制する新たな手法が用いられています。従来、逐次比較型 ADC では、比較動作中の容量 DAC のスイッチングによって参照電圧源から引き抜かれる電荷量が、入力信号に応じて異なることにより、参照電圧の変動の大きさも同じ傾向を持つため、A/D 変換出力に歪が生じ、SNDR が大きく劣化するという問題がありました。その対策として安定化容量やバッファを用いますと、消費電力やサイズの大幅な増加を招いていました。今回提案される手法では、補助容量(Caux)から適切な容量値を DAC の制御コードに応じて選択することにより、参照電圧源から流出する電荷量を一定にして、歪の発生を抑制します。消費電力やサイズのわずかな増加しか伴わずに SNDR の劣化を防ぐことのできる大変有効な手法です。



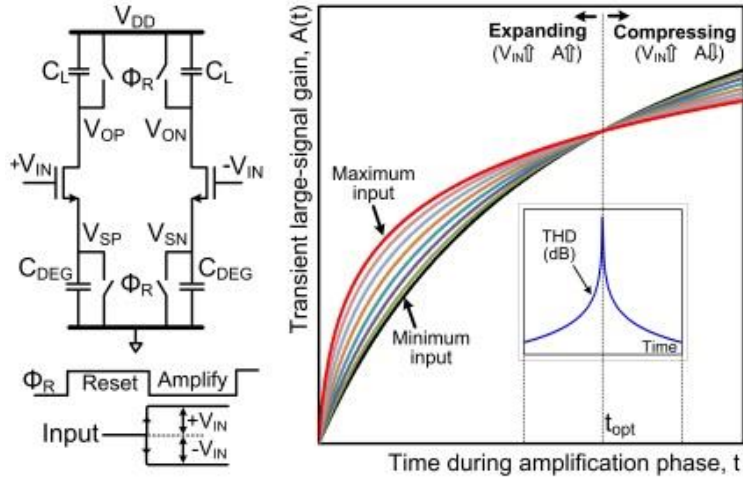
本図は、参照電圧安定化回路とタイミングチャートを示します。図中のルックアップテーブル(LUT)によって、DAC 制御コードと補助容量(Caux)の値を適切にマッピングします。LUT の情報は、比較器(Ref. cmp)出力をモニタしながら行われるキャリブレーションによって適宜更新されます。

(Paper C11.1) Broadcom Corporation, Delft University of Technology

A Capacitively-Degenerated 100dB Linear 20-150MS/s Dynamic Amplifier

容量性デジエネレーションによる全高調波歪-100dB を実現する 20-150MS/s のリニアダイナミックアンプ
Md Shakil Akter et al.

Broadcom と Delft 工科大は、パイプライン AD 変換器のための新しいダイナミック残差増幅器を発表します。この増幅器は、増幅利得が 4 であり、100mVpp の大きさの差動信号が入力されたときに、-100dB の全高調波歪 (THD) を実現します。ダイナミック増幅器では、今まで報告された中でもっとも低い値です。パイプライン AD 変換器の残差増幅器は、広帯域を必要とする閉ループ増幅器が使用される場合が多いです。それに対して、ダイナミック増幅器は開ループで、より電力効率が良いが、線形性が悪いのが課題です。発表する設計では、容量性デジエネレーション線形化技術を採用しています。低速なデジタル回路で実現できる非線形性検出を利用し、優れた線形性を実現するためにアナログ制御電圧を調整します。追加で必要になる電力は非常に小さくて済みます。



本方式では、 t_{opt} 以外の時刻で増幅器出力をサンプリングしたときの非線形性をオフチップにて検出し、アナログバイアスを PVT 変動に対して調整します。これによりシンプルに非線形性を補正できます。

通信領域

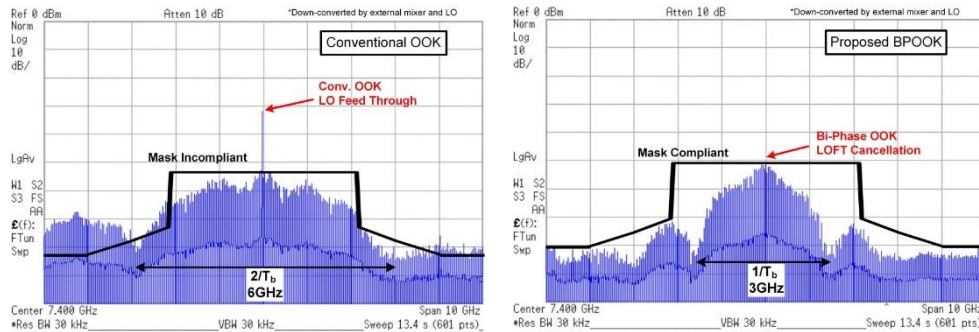
データ通信領域における高速化、高帯域化、低電力化への市場から要求性能は依然として向上し続けており、低コストで通信効率のよい高速通信技術が求められ続けています。無線通信でも有線通信でも、低コスト、かつ、限られた通信路帯域での超高効率な通信という市場要求に応えていくために、通信方式のブレークスルーや光通信を使った長距離化など様々な手段を活用した最新技術が投入されている領域です。今年も、ハイライト論文として、IEEE802.11ad (WiGig)での周波数効率の高い無線トランシーバ技術、0.5V 単一電源で動作可能な PLL 技術、低コストな光ファイバでも高速通信可能な光通信トランシーバ・レシーバ技術に関する論文を紹介いたします。

(Paper C23.1) Tokyo Institute of Technology, Samsung Electronics Co., Ltd.

A 100mW 3.0Gb/s Spectrum Efficient 60GHz Bi-Phase OOK CMOS Transceiver

100mW, 3.0Gb/s の周波数効率の高い 60GHz 帯 Bi-phase OOK CMOS トランシーバ
Yun Wang et al.

東京工業大学とサムスン電子は高速かつ周波数利用効率の高い 60GHz 帯無線機を発表します。屋内や短距離での無線通信を行う IoT 機器に用いるものです。従来のオンオフ変調(OOK)や位相偏移変調(BPSK)ではなく、位相偏移オンオフ変調(BPOOK)を用いることで、通常の OOK と比較して同じ周波数帯域幅で 2 倍のデータを送ることができます。次世代無線通信規格 IEEE802.11ad(WiGig)で規定されるスペクトラムマスクを満たしつつ、BPSK ではデータレートが 1.76Gb/s であるのに対して、提案する無線機では 3.0Gb/s のデータレートを達成しています。また、一般的な OOK 受信機と同様の包絡線検波が可能であり、非常に低消費電力な動作が可能であるのが特徴です。送受信あわせた消費電力を従来より 60%削減した 100mW での無線通信を実現しています。



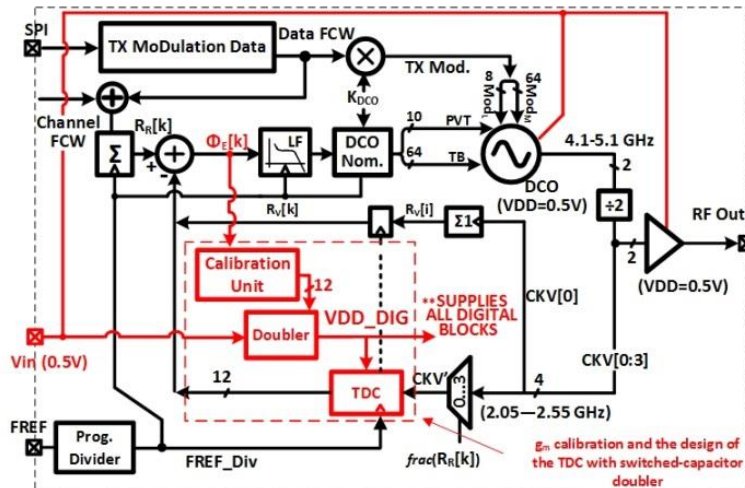
左は従来のOOKによる無線変調信号の周波数スペクトルで、右は提案するBPOOKによる周波数スペクトルを示しています。同じデータレートにおいて、従来のOOKに比べると、提案のBPOOKは周波数帯域幅を約半分にする事ができ、IEEE802.11ad(WiGig)規格の周波数マスクを満たしつつ、3.0Gb/sのデータレートを達成しています。

(Paper C14.1) Taiwan Semiconductor Manufacturing Company [TSMC], University College Dublin

A 0.5V 1.6mW 2.4GHz Fractional-N All-Digital PLL for Bluetooth LE with PVT-Insensitive TDC Using a Switched-Capacitor Doubler in 28nm CMOS

スイッチドキャパシタダブラーを使った PVT 耐性の高い TDC を搭載した
0.5V 電源で動作可能な 1.6mW, 2.4GHz BLE 用周波数発生器
Feng-Wei Kuo, et al.

エネルギーハーベスターや小型の電池で駆動される IoT 機器は、単一の低い電圧でも動作することが望まれており、特に、Bluetooth Low Energy(BLE)無線機は広範な IoT 機器への搭載が可能であり、1V 以下の電源電圧で動作が可能な BLE 用 SoC の登場が長らく望まれていました。TSMC およびユニバーシティ・カレッジ・ダブリンらによる研究グループは、単一の 0.5V 電源により動作が可能な世界初の BLE 用の周波数発生器を発表します。0.5V で動作可能なアナログ回路ブロックとチップ内部の電圧倍化回路により動作するデジタル回路ブロックから構成されており、製造ばらつきや、電圧変動、温度変化に対しても安定した動作を実現しています。28nm CMOS 技術により作成された試作回路において、1.6mW の消費電力で 0.82ps(RMS)の非常に良好なジッタ性能を実現しています。



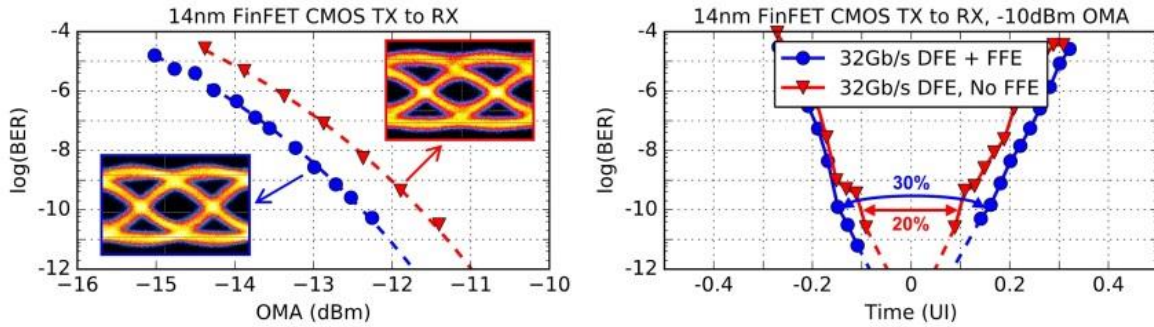
0.5V 単一電源で動作可能な BLE 無線機用のオールデジタル周波数発生器

(Paper C25.1) IBM Corporation

"A 32 Gb/s, 4.7 pJ/bit Optical Link with -11.7dBm Sensitivity in 14nm FinFET CMOS

14nm FinFET CMOS プロセスで実装した通信効率 4.7pJ/bit、感度-11.7dBm を実現する
データレート 32Gb/s の光通信リンク
Jonathan Proesel et al.

クラウドコンピューティングの急速な成長に伴い、筐体間などの 50m を超えるような距離のデータセンター内通信においても、広帯域かつ低コスト伝送が求められてきています。電気通信は低コストではあるものの 10m を超えるような信号伝送は、伝送路ロスに加えデータパターンに依存する信号劣化(ISI)により 25Gb/s を超えるような次世代規格のデータレートでの通信が非常に難しい領域です。一方、低ロスの光ファイバを使った光通信は、高周波で発生する雑音によりデータレートの増加が難しい状況です。これに対して、IBM は受信回路のフロントエンド部の帯域を意図的に制限して高周波雑音の発生を抑制する一方で、入力データに対して非線形にデータをリカバリできる Decision Feedback Equalizer (DFE)を導入してこの問題を解決しました。開発した送受信チップは最先端の 14nm FinFET CMOS プロセスで実装され、32Gb/s の光通信によるデータ送受信に成功しました。OMA Sensitivity が -11.7dBm と実用的なレベルの受信感度とともに、1.4pJ/s というトップレベルの通信効率を達成しています。



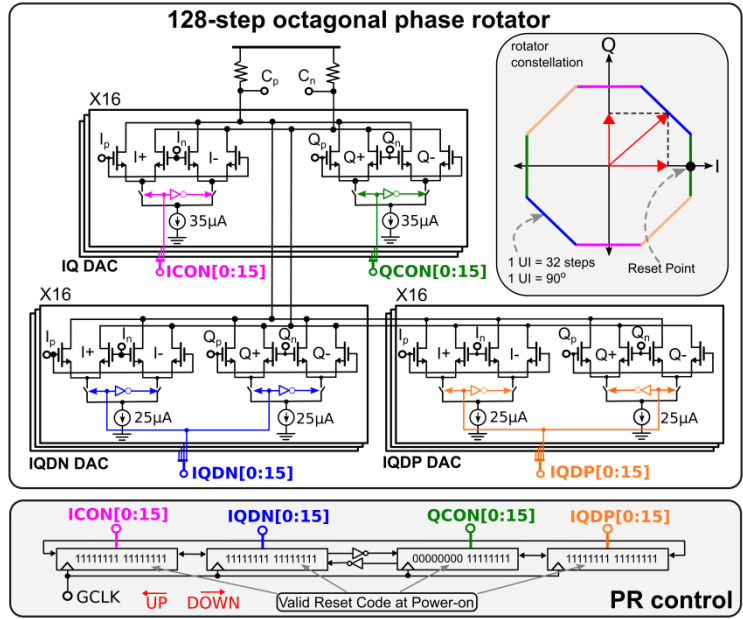
図は、BER vs. OMA 特性、BER vs. サンプリング時間、送信アイパタンを示している。FFE と DFE を使った場合の、ビットエラーレート $BER=10^{-12}$ における 32Gb/s 伝送での OMA 受信感度は-11.7dBm を記録しました。

(Paper C25.2) IBM Corporation, École polytechnique fédérale de Lausanne [EPFL]

A 60 Gb/s 1.9 pJ/bit NRZ Optical-Receiver with Low Latency Digital CDR in 14nm CMOS FinFET

14nm FinFET CMOS プロセスによる低レイテンシのデジタル CDR を搭載した
通信効率 1.9pJ/bit の 60Gb/s NRZ 光受信器
Alessandro Cevrero et al.

さらに、IBM は EPFL と共同で先の論文の 2 倍のデータレートを実現する光通信受信回路についても発表します。64Gb/s でのデータ受信動作自体は ISSCC2017 にて報告されていたが、VLSI シンポジウムでは、60Gb/s のデータ受信が可能なクロック&データリカバリ回路(CDR)の追加により、光通信受信回路としての完成度が高まっています。提案する CDR は高速化に不可欠なクロック位相の高い線形性を実現するために、128 ステップの 8 相構成の位相回転回路を導入し、80MHz の周波数コーナーで 0.16UIpp のジッタトレランスを達成しました。この受信回路は 14nm FinFET CMOS プロセスで実装され、1.9pJ/bit の高効率動作で 63Gb/s での 7m の光伝送データの受信に成功し、その受信特性は実用段階の OMA 受信感度-5dBm の性能を達成しました。



上図は著者が提案する 128 ステップの 8 相制御による位相回転回路を示しています。

以上が、2017 年 VLSI 回路シンポジウムのハイライト論文の紹介となります。

いくつかの重要な語句に関する注釈

- **ADC, or Analog-to-Digital Converter** – A device that converts a continuous physical quantity (usually voltage) to a digital number.
連続的な物理量(通常は電圧)をデジタル値に変換する素子。
- **Back-End/BEOL and Front-End/FEOL** -- In integrated circuit manufacturing, transistors and other active devices are built first (at the front end of the manufacturing line or FEOL), while the interconnect, or the wiring, is built afterward, at the “back end” of the manufacturing line (BEOL).
集積回路製造において、トランジスタや他のアクティブ素子は最初に形成され、一方で配線構造は後で形成される。したがって前者を FEOL(front end of the manufacturing line) と呼び、後者を BEOL(back end of the manufacturing line) という。
- **Bi-Phase On-Off-Keying (BPOOK)** – A modulation scheme of data communication. Carrier amplitude is modulated between zero and one depending on the baseband data. Furthermore, carrier phase is also changed between 0 and 180° when the baseband data is “one”. Compared with the OOK and BPSK, the spectrum efficiency is improved and data rate can be doubled with the same spectrum bandwidth. Same as the OOK, envelope detector can be used for demodulation and suited for low power operation.
データ通信における変調方式の一つ。ベースバンドデータが“0”のとき、搬送波の振幅を 0 とし、ベースバンドデータが“1”のとき、搬送波の位相を 0° と 180° で切り替える。OOK や BPSK とくらべて周波数利用効率を改善することができ、同じ周波数帯域で 2 倍のデータレートを実現できる。さらに、OOK と同様に包絡線検波器で復調できるため、低電力動作に向いている。
- **Bi-Phase Shift Keying (BPSK)** – A modulation scheme of data communication. Carrier phase is modulated between 0 and 180° depending on baseband data. Compared with OOK, receiver sensitivity can be improved by using coherent detector because the distance between signal points are large and required signal-to-noise ratio can be relaxed.
データ通信における変調方式の一つ。搬送波の位相をベースバンドデータに応じて 0° と 180° の間で切り替える。OOK 変調に比べて、同期検波を用いることで信号点間の距離が広くとることができ、所要 S/N 比が緩和されるため、受信機感度を上げることができる。
- **Buck Converter** -- is a DC-to-DC power converter which steps down voltage (while stepping up current) from its input (supply) to its output (load). It is a class of switched-mode power supply (SMPS).
DC-DC コンバータの一種で、特に入力から負荷の間で降圧を行うものを指す。スイッチング電源の一種。
- **BLE** – Bluetooth Low Energy. Bluetooth is a wireless standard, and BLE is a Low-Energy (LE) mode in Bluetooth for Smartphone, IoT, etc.
ブルートゥースローエナジー。無線通信規格ブルートゥースのうち、スマートフォンや IoT 用途に向けて低消費電力化が可能な通信モード。
- **CDS (Correlated Double Sampling)** – Correlated double sampling is a method to cancel the fixed pattern and reset noise in the pixel. During the pixel readout cycle, two sample are taken and subtracted. One signal is taken when the pixel still in the reset state, and the other is taken when the charge has been transferred to the readout node.

相関 2 重サンプリング。イメージセンサ読み出しノイズキャンセルのために使われる手法。読み出し時に、信号電荷が流入する前後の電圧レベルを取得し、差分をとる動作で行われる。

- **CMOS/MOS/MOSFET/FET**-- Most transistors today are FETs, or field-effect transistors. Most FETs are built with CMOS manufacturing technology (complementary metal oxide semiconductor). Generically they are called MOSFETs, or sometimes MOS transistors.
今日用いられている大半のトランジスタは電界効果トランジスタ（FET：Field Effect Transistor）である。大抵の FET は CMOS 製造技術によって形成される。（CMOS: Complementary Metal-Oxide-Semiconductor）。一般的に、これらは MOSFETs あるいは MOS transistors と呼ばれる。
- **Compound/III-V Semiconductors** -- Most semiconductors are silicon-based, but researchers continue to investigate other semiconducting materials with higher electron mobilities because they can be used to make faster devices. The tradeoff is that the materials are harder to work with than silicon. Compound semiconductors are made of two or more elements (e.g. GaAs, InP, GaN, etc.) which are generally found in groups III and V of the periodic table of the elements.
現在主流となっている半導体はシリコンをベースとしているが、研究者は他の種類の半導体で高い電子移動度を有するものについても調査を続けている。より速いスイッチング速度を要求するデバイスに対する応用可能性があるからである。ただし、それらの物質はシリコンよりも取り扱いが難しい。化合物半導体は二つ、もしくは三つの元素から構成されており、例えば GaAs（砒化ガリウム）、InP（インジウムリン）、GaN（窒化ガリウム）などがあり、これらは一般的には周期律表の III 族と V 族の元素（一部に II 族-VI 族、IV 族-IV 族のものもある）から構成される。
- **DAC or Digital-to Analog Converter** – A device that converts digital data into an analog signal (current, voltage, or electric charge).
デジタル値をアナログ信号（電流、電圧、電荷量）に変換する素子。
- **DNN (Deep Neural Network)** – Neural network that has more than one layer of hidden units between its inputs and its outputs. Famous models include Convolutional Neural Network (CNN) and Recurrent Neural Network (RNN). The idea of realizing higher level functions by a neural network with multiple hidden layers was previously existing, but the convergence in the training using the traditional back propagation method was slow and the performance was insufficient. In recent years, the effectiveness of DNN was rediscovered thanks to the proposal of an effective training algorithm for multilayered neural networks and the significant performance improvement of computers. In addition, DNN has received a great deal of attention at the Image Recognition Contest (ImageNet Large Scale Visual Recognition Challenge) held in 2012 as a result of the overwhelming performance of research teams using DNN. For these reasons, research on utilization of DNN in various fields including image recognition, speech recognition, etc. is currently active. The machine learning algorithm using DNN is called deep learning.
Neural network の中間層を多層にしたもの。有名なモデルとして畳み込みニューラルネットワーク（Convolutional Neural Network: CNN）や再帰型ニューラルネットワーク（Recurrent Neural Network: RNN）などがある。NN を多層化することでより高級な機能を実現するというアイデアは古くから存在していたが、誤差逆伝搬法を用いた学習では収束が遅く、十分な結果が得られないという問題があった。これに対し、近年、多層ニューラルネットワークに対する有効な学習アルゴリズムが提案されたことと、計算機の大幅な性能向上により、その有効性が再発見されたこと、ならびに 2012 年に開催された画像認識コンテスト（ImageNet Large Scale Visual Recognition Challenge）において DNN を用いた研究チームが圧倒的な性能を達成して優勝したことで大きな脚光を浴び、現在、

画像認識や音声認識等をはじめとする様々な分野における研究および具体的応用が活発となっている。DNN を用いた機械学習アルゴリズムのことを Deep learning（ディープラーニング、深層学習）と呼ぶ。

- **DRAM** – Dynamic random access memory stores information as charge on a capacitor that must be periodically refreshed. Dedicated DRAM chips form the bulk of the main memory for typical computers, tablets, and smartphones.

随時読み書き可能なダイナミックメモリは、情報を容量に電荷の形で保管するため、定期的にリフレッシュが不可欠である。一般的なコンピュータ、タブレットやスマートフォンの主記憶の大部分は専用の DRAM により構成されている。

- **ECoG** – Electrocorticography (ECoG) is a type of electrophysiological monitoring that uses electrodes placed directly on the exposed surface of the brain to record electrical activity from the cerebral cortex.

頭蓋骨内部の脳の皮質表面に直接接続した電極により皮質脳波を電氣的に直接モニタリングする方法

- **EOT or equivalent oxide thickness** – A distance to compare performance of high-k dielectrics with that of SiO₂ film. An SiO₂ film with the thickness of EOT has the same gate capacitance with the high-k material that is used. The higher k dielectrics can reduce EOT, which enhances the MOSFET performance.

等価酸化膜厚。高誘電率膜の能力をシリコン酸化膜と比較するための膜厚。EOT の膜厚を持ったシリコン酸化膜は、比較される高誘電率膜と同じゲート容量を持つ。比誘電率の高い誘電体ほど EOT を低減することができ、MOSFET の能力を向上することができる。

- **ESD** – Electrostatic discharge. A sudden release of static electricity between two object caused by contact. If the ESD hits the integrated circuit, it may cause the device to fail or reduce the lifetime.

静電気放電。静電気を持つ 2 つの物体を接触させたときの起こる放電現象。ESD が集積回路に当たると、デバイスの故障や寿命の低下を引き起こす。

- **FD-SOI** -- Fully depleted silicon on insulator is a process technology option that can offer speed and power advantages over conventional bulk silicon transistors.

完全空乏型の SOI。（SOI については SOI の項を参照のこと）トランジスタ下のシリコン層を完全に空乏化することで、より高速、低消費電力を実現する事ができる。

- **FinFET** -- A transistor whose 3-D shape resembles a fin, usually with multiple gates surrounding it for better on/off switching control.

魚の背びれに似た形の 3 次元型トランジスタで、その形状を囲むようにゲート電極が配列されているもの。この構造によってオン/オフの制御特性が通常の平面型トランジスタよりも良好である。

- **Front-End/FEOL and Back-End/BEOL** -- In integrated circuit manufacturing, transistors and other active devices are built first (at the front end of the manufacturing line or FEOL), while the interconnect, or the wiring, is built afterward, at the “back end” of the manufacturing line (BEOL).

Back-End/BEOL の項を参照のこと。

- **HEMT** – High Electron Mobility Transistor, also known as heterostructure FET (HFET) or modulation-doped FET (MODFET). A HEMT is based on a heterojunction which consists of two semiconductors with different band gaps (see also Compound/III-V Semiconductors). By choosing proper materials, the band discontinuity forms high-mobility two-dimensional electron gas at the hetero interface.

高移動度トランジスタ。ヘテロ構造 FET（HFET:Heterostructure FET）あるいは変調ドーピング FET（MODFET: Modulation-Doped FET）としても知られる。HEMT は異なるバンドギャップ

プを持った 2 つの半導体からなるヘテロ界面を持ったデバイスである。適当な物質を選ぶことにより、このヘテロ界面に高移動度の 2 次元電子ガスが形成される。

- **Hysteretic control** – is a control method for DC-DC converters where a comparator monitors the output voltage and controls the power switch. This method is useful in applications like CPUs and FPGAs where rapid response against load current variation is required.

DC-DC コンバータ出力電圧をヒステリシス特性を持ったコンパレータでモニタし、その出力に応じてパワースイッチのオン・オフを制御する方式。CPU や FPGA など、高速な負荷過渡応答が必要な場合に有効な手法として用いられる。

- **HKMG, or High-k Dielectrics/Metal Gates** -- A dielectric is an electrical insulator. "k" is the relative permittivity and is a measure of how well a material will prevent current flow between the gate electrode and the channel region of a field-effect transistor, while capacitively coupling the two to control on/off switching. In future CMOS integrated circuits (chips) the gate dielectric will need to provide capacitive coupling equivalent to that of a silicon-dioxide layer that is just a few atoms thick, to allow the length of the channel region to be scaled down to 10 nm and below. Metal gate materials are more compatible with high-k gate dielectrics than are traditional doped polycrystalline silicon material. Much progress has been made in recent years to integrate metal gates into the CMOS process flow for the manufacture of high-performance chips.

誘電体は電気的には絶縁物であって MOSFET、MOS キャパシタのゲート電極とチャネル部の間に配置される。"k"は比誘電率を示し、これの大きさによって MOSFET におけるゲート電極と基板間のリーク電流やゲート電極と基板間の容量カップリングが影響を受ける。近未来の CMOS 集積回路においてはシリコン酸化膜を基準にすると数 nm の薄さに匹敵するような容量値が必要とされ、これによってゲート長を 10 nm 以下にスケールアップすることが可能となる。一方、金属ゲート電極は伝統的に使用されてきたポリシリコンゲート電極よりも高誘電率材料と相性が良いことが知られている。ここ数年で高性能なチップを製造するために金属ゲート電極を CMOS プロセスに導入することに対して大きな進展があり、ハイパフォーマンスチップの CMOS 製造プロセスに用いられている。

- **IEEE 802.11ad** – A standard for ultra-high-speed wireless communication which uses millimeter wave (60GHz band)

60GHz 帯のミリ波を使用する超高速無線データ通信用の規格。

- **III-V** -- see Compound/III-V Semiconductors

Compound/III-V Semiconductors の項を参照のこと。

- **Integrated Circuit** -- An electrical circuit comprising many interconnected elements (e.g. transistors, diodes, capacitors, resistors, inductors) built on a semiconducting substrate.

半導体基板上に組み上げられた電氣的回路であって、多数の素子（例えばトランジスタ、ダイオード、容量素子、抵抗素子、インダクタなど）が配線で結ばれているものを指す。

- **Interconnect** -- The metal lines, or wiring, connecting transistors and other circuit elements. See **Back-End/BEOL**.

金属の線、もしくはワイヤーでトランジスタと他の回路素子とを結んでいるもの。金属配線のこと。Back-End/BEOL のところも参照のこと。

- **Interposer** – An electrical interface between chips or between socket and chips. The purpose of an interposer is to connect chips and sockets with different I/O terminals.

インターポーザー。チップ間、もしくはソケットとチップ間の電氣的なインターフェース。インターポーザーの役目は異なる入出力端子を用いたチップやソケットを結合することである。

- **Linear Voltage Regulator** – Maintain a steady voltage by changing output resistance according to load current. It requires a higher input voltage than output voltage and normally results in lower efficiency than a switching regulator.
負荷電流に応じて出力抵抗を変化させることで一定電圧を保持する電源回路。出力電圧に対して高い入力電圧が必要かつ一般的にはスイッチングレギュレータなどと比較して電力効率が低い。
- **Low-k Dielectrics/Interconnect** -- Interconnect refers to the metal wires that connect elements together in an integrated circuit (chip). The close proximity of adjacent wires can result in capacitance that can limit chip performance. A low-k dielectric electrically insulates the copper lines while minimizing their mutual capacitance; however, these materials are generally more fragile and thus pose challenges for manufacturing.
Interconnect は金属配線のことで、これは集積回路内（チップ内）の各素子を結んでい
る。スケーリングが進み、隣接する金属配線同士が接近するとこの両者間の寄生容量が
無視できなくなり、これがチップの性能を律速する。したがって低誘電率材料を用いて
これらの銅線を電氣的に絶縁しながら配線間容量を低減することが試みられている。た
だし、これらの低誘電率材料は一般的には壊れやすく、実際に量産するに当たっては難
しい局面もある。
- **Magnetic core** – is a piece of magnetic material with a high magnetic permeability used to confine and guide magnetic fields used in devices such as inductors and transformers.
透磁率の高い材質でできており、インダクタやトランスフォーマなどの芯に配置すると磁
束の閉じ込めによって実行的なインダクタンス値を増加させることができる。
- **MCU** – Microcontroller unit. Microcontrollers typically contain a processor core, memory, and input/output peripherals and are designed for embedded applications.
マイクロコントローラユニット。マイクロコントローラは一般的にプロセッサコア、メ
モリ、周辺入出力 I/O を含んでおり、組み込みアプリケーション向けに設計される。
- **MEMS** -- A micro-electro-mechanical system, containing micrometer-scale moving parts.
マイクロ・エレクトロ・メカニカル・システムのことで、マイクロメートル程度の大き
さの機械的な可動部を持つ部品を指す。 スイッチや可変キャパシタ、各種センサーな
どがこの MEMS で構成されている。
- **Neural Network** – A mathematical model aimed at mimicking the characteristics of brain function by computer simulation. It is composed of an input layer, a hidden layer, an output layer and a wiring connecting each unit. Each wire has a parameter called connecting weight. Units of each layer have a function of inputting data multiplied by connecting weight to data propagating from a number of units of the former layer, and outputting results applied to a predetermined function (activation function). A method of applying a test dataset of input-output pairs and finding a suitable set of connecting weights which gives a target function is called supervised learning. In supervised learning, an algorithm called back propagation is generally used. By applying the set of connecting weights obtained by supervised learning, it is possible to obtain a function which gives desired input-output relation.
脳機能の特性を計算機上のシミュレーションによって表現することを目的とした数学的
モデル。複数のユニットから成る入力層、中間層、出力層、および入力層～中間層と中
間層～出力層の各ユニット間を繋ぐ配線によって構成され、配線には結合荷重と呼ばれ
るパラメーターが与えられる。各層のユニットは、前層の複数のユニットから伝搬する
データに結合荷重をかけ合わせたものを入力とし、あらかじめ与えられた関数（活性化
関数）に適用した結果を出力する機能を持つ。幾つかの入力例と各入力に対する目標出
力を与え、目標出力と実際の出力が一致するように結合荷重を調整する方法を教師あり

学習と呼ぶ。学習においては一般的にバックプロパゲーション（誤差逆伝搬法）と呼ばれるアルゴリズムが用いられる。学習によって得られた結合荷重を用いることで、入力ユニットにデータを与えたときに所望の出力が得られるような機能を得ることができる。

- **N-FET/P-FET or NMOS/PMOS** -- MOSFETs come in two varieties (n-channel or p-channel) which operate in a complementary fashion.

MOSFET は n 型チャネル（電子がキャリアとなる）と p 型チャネル（ホールがキャリアとなる）の 2 種類があり、両者を組み合わせて相補的に使われる。

- **Non-volatile memory (NVM)** – A type of computer memory that retains its stored information even when the power is off.

不揮発性メモリのこと。電源電圧が印加されていなくても蓄積されているデータが失われないタイプのコンピューター記憶装置のことを言う。

- **On-Off-Keying (OOK)** – A modulation scheme of data communication. Carrier amplitude is directly modulated between one and zero depending on baseband data. Simple envelope detector can be used for demodulation and suited for low power transceiver.

データ通信における変調方式の一つ。搬送波の振幅がベースバンドデータに応じて、直接 1 か 0 に変調される。包絡線検波で復調できるため、低電力送受信機に向いている。

- **PAM4** – 4-level pulse amplitude modulation. In communication, the data is represented as one of four discrete levels. This means that each symbol can encode two bits of data instead of the conventional 1 bit/symbol. For the same symbol rate and bandwidth, this doubles the data throughput.

4 値のパルス振幅変調方式。通信分野において、データは電圧レベルの離散値の 1 つとして表現される。つまり従来型の 1 シンボルあたり 1 ビットであるのに対し、4 値の各シンボルは 2 ビット/シンボルにエンコードすることができる。同じシンボルレート、帯域幅では、2 倍のスループットを得ることができる変調方式。

- **Phase-Change Memory/PCM** -- Phase-change materials have crystalline and non-crystalline states which are used to represent the digits "0" or "1" in a non-volatile memory. Electrical current is used to toggle between the two states – heat from the current causes the material to change its state.

相変化型メモリのこと。これは結晶状態と非結晶状態を"0"と"1"に割り当ててメモリとするもので、不揮発性メモリの一種。電流を流すことによって生じた熱によって物質の状態が変わり、この"1"、"0"の 2 つの状態を切り替えることができる。

- **Pulse Frequency Modulation (PFM) control** – is a control method where the pulse frequency is changed, being different from pulse width modulation (PWM) control where the frequency is constant and only the pulse width is changed. In DC-DC converters, this control method can achieve better power conversion efficiency in light load conditions than PWM control.

周波数一定の元でパルス幅を制御する PWM 方式に比べ、周波数も可変にする制御方式であり、DC-DC コンバータの低負荷時の効率を上げるのに有効な制御手法。

- **ReRAM or RRAM** – Resistive random-access memory. A non-volatile random access memory that stores the binary digit by changing the resistivity of material between electrodes.

抵抗変化型メモリのこと。なんらかのパラメータ変化によって生じる素子の抵抗変化をデータ蓄積の目的に用いた不揮発性メモリの一種。

- **ROI (Region of Interest)** – A ROI is the region which defines the borders of an object under consideration. When capturing the image, individual points of interest can be observed and evaluated.

関心のある領域、対象領域のこと。イメージングで観察/測定する領域を絞ることがあり、その特定の領域を示す。

- **SAR ADC** – A successive approximation ADC is a type of analog-to-digital converter that converts a continuous analog waveform into a discrete digital representation via a binary search through all possible quantization levels before finally converging upon a digital output for each conversion.

逐次比較型 ADC は、連続的なアナログ波を離散的なデジタル値に変換する ADC の一種。

変換では、すべての可能な量子化レベルをバイナリ検索しながら最終的なデジタル出力に収束させる。

- **Scaling/Density/Integration** -- Scaling is making transistors and other circuit elements smaller so that more of them will fit on a chip. A denser chip contains more transistors in a given area. Integration is combining circuit elements on a chip to add more functions to achieve lower cost per function.

Scaling (スケールリング) とはトランジスタや他の回路素子を小さく形成して、一つのチップ上において多くの部品の搭載を可能にすることを指す。Density はチップ上に載っているトランジスタの密度で、これが大きいほど多くのトランジスタが搭載されている。また、Integration (インテグレーション) は回路素子をチップ上に形成して機能をたくさん追加することを示す。多くの機能が詰め込まれれば、機能あたりのコストは低減される。

- **Semiconductor** -- A material that can be made to conduct or to block the passage of electrical current, giving the ability to store and process information.

半導体のこと。半導体は金属ほど電気抵抗が低くないが、絶縁体よりは電気抵抗が低い材料で、その電流を流したりブロックしたりすることでデータを蓄積したり、情報を処理したりする。

- **SNDR** – Signal-to-noise and distortion ratio is a standard metric for analog-to-digital converter and digital-to-analog converter. SNDR indicates in dB the ratio between the powers of the converted main signal and the sum of the noise and the generated harmonic spurs.

SNDR は ADC や DAC 用の標準的な測定基準。変換された主信号のパワーに対するノイズと歪成分を合わせたパワーの比をデシベル単位で示す。

- **SoC** -- A system-on-a-chip. An integrated circuit which integrates all necessary components of a computer or other electronic system on a single chip.

システムオンチップ。1つのチップの上にコンピューターや電子システムに必要なすべての素子を集積した物。

- **SOI** -- A silicon-on-insulator substrate, used to reduce parasitic capacitance and thereby improve integrated circuit performance.

"Silicon-on-Insulator"の略。日本語でも SOI (エス・オー・アイもしくはソイ)、シリコン・オン・インシュレーターと言っている。半導体基板の上に絶縁膜を形成し、その上にさらに半導体層が構成されているもので、主としてその上部の半導体層中に回路素子を形成する。トランジスタの寄生容量が小さいので集積回路の性能向上に用いられる。

- **Strained silicon & SiGe stressors** -- Silicon is said to be "strained" when its atoms are pulled farther apart or closer together than normal. Doing so alters the ease with which electrons flow through the silicon, enabling transistors built with it to operate faster and /or at lower voltage.

The external stressors which impart strain are materials with slightly different atomic spacing than silicon. For example, a common way to compressively strain the channel region of a p-channel silicon field-effect transistor is to embed silicon-germanium (SiGe), which has larger atomic spacing than does Si, in its source and drain regions.

シリコンがひずみを受けている状態というのは、シリコン原子が互いに引っ張られて原子間距離が大きくなっている状態（ひっぱりひずみ、**tensile**）と逆にシリコン原子が互いに押されて原子間距離が小さくなっている状態（圧縮ひずみ、**compressive**）の2つの状態がある。トランジスタのチャンネル部のシリコンがこのようなひずみを受けるとキャリアの移動度に変調されてトランジスタが低電圧動作時でもより高速になる場合がある。外部ストレッサーと呼ばれるものがあり、シリコン結晶と格子定数が少し異なる材料をシリコンにエピタキシャル成長させることでシリコン領域にひずみを印加することができる。例えば圧縮ひずみを **p** チャンネルシリコン FET のチャンネル領域に加えるために、シリコンよりも大きな格子定数を持つシリコンゲルマニウム合金を **S/D** 領域にエピタキシャル成長させることがよく行われている。

- **SRAM** -- A type of computer memory (**static random access memory**) that uses six or more transistors to store each bit of information. It can be written to and read from very quickly. SRAM(Static Random Access Memory) はコンピューターに用いられるメモリの種類で、普通 6 つもしくはそれ以上のトランジスタからなる回路で一つのセルが構成される。読み書き速度は高速だが、電源を切るとデータは消去される。
- **STT-MRAM** – Spin torque transfer magnetic random access memory is an emerging type of non-volatile memory that operates according to the “spin” state of electrons, not their electric charge. STT-MRAMs can be made extremely small. 不揮発性メモリ素子の一種で磁気抵抗変化をデータ蓄積に用いた RAM。基本的に MRAM セルはドライバートランジスタと磁気トンネル接合(MTJ)から構成される。MTJ の抵抗は MTJ 内部の磁性薄膜のスピン状態に依存して変化し、そのスピン状態は外部磁場、もしくはスピン分極した電子によって形成される電流で制御される。後者の場合、スピントランスファートルク(STT)がスイッチングの主因となる。STT-MRAM は高速かつ低消費電力の次世代メモリとして期待されている。
- **TDC, or Time-to-Digital Converter** – A device for recognizing events and providing a digital representation of the time they occurred. イベントを認識し、それが発生した時間に対応するデジタル値を与える素子。
- **Ternary content-addressable memory (TCAM)** – Content-addressable memory is a specialized memory capable of searching a word in the entire contents. “Ternary” refers to capability of storing and querying “X” don’t care, in addition to 0 and 1. 連想記憶は、記憶領域全体の中から特定のワードを検索する特殊メモリである。“三値”とは、0/1 に加えて、“X”(ドントケア)を保持、検索可能であることを意味する。
- **TSV** – Through silicon vias. TSVs provide a connection from the top to the bottom of a silicon die, allowing vertical interconnections for 3-D stacking of dies. シリコン貫通電極のこと。TSV はシリコン・ダイのトップからボトムまでを電氣的に接続し、ダイの 3 次元積層のための垂直配線を可能にする。
- **UWB** – Ultra-wideband radio is wireless communication that operates in the 3.1-10.6 GHz band using a minimum of 500MHz of bandwidth, typically with very low average radiated power density. 超広帯域無線(Ultra-wideband radio)は 3.1 – 10.6GHz 帯において最低 500MHz 以上の帯域を使用、かつ極低放射電力密度により動作する無線通信のこと。
- **Global shutter** – Method of capturing entire scene at single instant in time, rather than by scanning across the scene, like rolling shutter. 画面全体を、ローリングシャッタのように逐次的にスキャンすることなく、同一タイミングにて取得する手法。

- **Effective Number of Bits (ENOB)** – Measure of the dynamic performance of ADCs, including noise and distortion effect, normalized to the performance of an otherwise ideal ADC with finite resolution.

ADC の動的特性を表す指標で、信号中の雑音や信号歪による信号劣化を含んだ値で、ENOB 値で示される有限の解像度を有する理想 ADC の特性として正規化した値である。

- **Transistor** -- A tiny electrical switch that serves as the building block for integrated circuits. It has no moving parts and is made with a semiconductor material, usually silicon. Transistors can be ganged together by the billions on chips and programmed to receive, process and store information, and to output information and/or control signals.

トランジスタは半導体集積回路を構成する小さな電氣的なスイッチ。スイッチと言っても可動部は無く、半導体材料、大抵はシリコン製であって、FET の場合はゲート電極に印加する電圧によってチャネル領域中の反転層の状態を制御しドレイン電流をスイッチする。トランジスタは一つのチップ内に何百万もの数が詰め込まれており、情報の受領、処理、蓄積、また情報や制御信号の出力を行うようにプログラムされている。