

TIP SHEET – VLSI 기술 심포지움

2017 VLSI 기술 심포지움의 주요 기술

기술 플랫폼 논문:

- T6-1 저전력, 고성능 응용분야를 위한 EUV 리소그래피 기능을 갖춘 매우 제조 용이성이 높은 7nm FinFET 기술, 삼성전자
- T6-2 성능, 전력, 면적 스케일링을 위해 공동 개발된 10nm 고성능 모바일 SoC 설계 및 기술, 퀄컴
- T6-3 우수한 Sneak-path 내성, MLC 기능을 가진 순(pure) CMOS 로직 14 nm FinFET 플랫폼 상의 플래시 RRAM 을 처음으로 증명, 국립자오통대학/국립대만사범대/UMC

신소재를 사용한 선진 기술 논문:

- T6-4 FDSOI Si CMOS 상에서 인터-레이어 콘택트로 InGaAs n-FinFET 의 3D 모노리틱(monolithic) 집적을 통한 3D SRAM 의 첫 입증, IBM 취리히 연구소, CEA-Leti
- T9-1 3D 컨덴세이션 및 새로운 게이트 스택 공정으로 만든 HGC(High-Ge-Content) 채널의 스케일된 RMG SiGe FinFET 의 고성능 및 기록적인 서브 문턱전압 스윙 (Subthreshold swing) 입증, IBM
- T12-1 S.S. 65% 감소 및 ION 향상을 보여주는 특정 인터페이스 레이어(interfacial layer) 상에서 저온 강유전(ferroelectric) HfZrOx 를 가진 나노 스케일 Ge FinFET, 국립나노디바이스연구소, 국립성공대학, 국립자오통대학, 국립중산대학, 산업기술연구소, 국가실험연구원

비전통적인 시스템을 위한 선진 기술 논문:

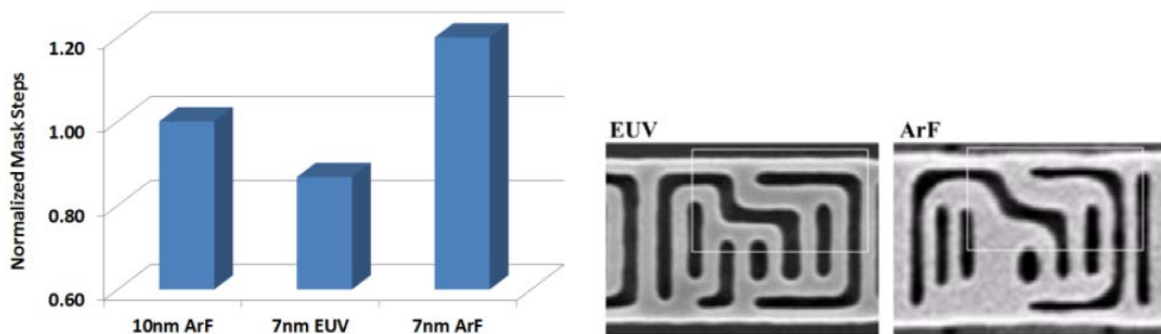
- JFS3-3 IoT 노멀리 오프 CPU 응용분야를 위한 초저누설의 결정형 In-Ga-Zn-O 소재 및 트랜지스터의 성능 증대, UMC, 반도체에너지연구소
- T2-3 40nm-노드 CMOS 기술로 제작된 저전력 Cu 원자 스위치 프로그래머블 로직, NEC
- T13-1 Si MOS 기술의 양자 컴퓨팅을 향하여: 빌트인 전하 탐지기로 FDSOI 스플릿-게이트(Split-Gate) 소자에서 스핀 상태의 싱글샷 리드아웃(Single-shot Readout), Institut Neel, CEA Leti, CEA INAC-PHELIQS

이질적 (heterogeneous) 집적 발전에 관한 논문:

- T5-1 제 2 세대 CoWoS 기술을 통한 어드밴스드 로직 메모리 시스템의 웨이퍼 수준 집적, TSMC
- T8-1 연속적 안구건조증 진단을 위한 완전히 통합된, 무선 전력 전송의, 일반적인 장비로 구성된 온-렌즈 시스템을 향하여, 국립자오통대학

T6-1 저전력, 고성능 응용분야를 위한 EUV 리소그래피 기능의 제조용이성이 높은 7nm FinFET 기술, 하 외, 삼성전자

삼성전자 저전력 및 고성능 응용분야를 위한 EUV 리소그래피, 4 세대 듀얼 FIN, 2 세대 멀티-eWF 게이트 스택을 활용한 7nm CMOS 기술을 발표하며, 10nm 기술에 비해 속도 20% 개선 또는 전력 35% 감소를 보여줄 것이다. MOL 컨택트 및 최소-피치 금속/비아 인터커넥트를 위해 EUV 리소그래피를 완전히 채용하여 마스크 단계 25% 이상 축소, 패턴 충실도 개선, CD 변동 감소를 달성했다. PD(PG)의 A_{VT} 1.29, PU의 A_{VT} 1.34 덕분에 HD SRAM 테스트 칩의 저전압 기능으로 EUV 리소그래피를 장착한 기술을 증명한다.

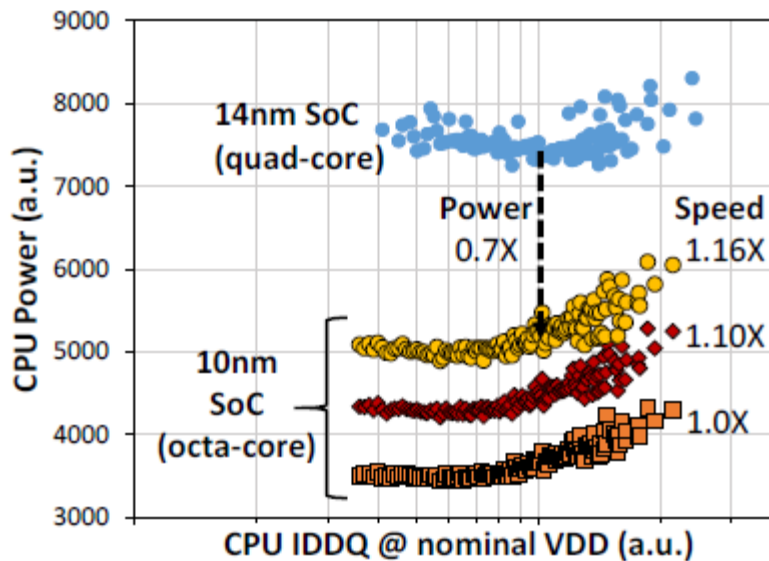


왼쪽: Middle-Of-Line(MOL) 컨택트 및 최소 피치 금속/비아 인터커넥트를 위해 EUV 리소그래피를 완전히 채용했다. ArF 이머전 리소그래피를 사용하는 선진 DPT 에 비해 마스크 단계가 25% 이상 감소했다 (그림 1).

오른쪽: EUV 리소그래피는 ~70% 향상된 충실도를 제공하여 코너 라운딩 프로파일 및 CD 변동을 개선한다 (그림 4).

T6-2 성능, 전력, 면적 스케일링을 위해 공동 개발한 10nm 고성능 모바일 SoC 설계 및 기술, Sam Yang 외, 퀄컴

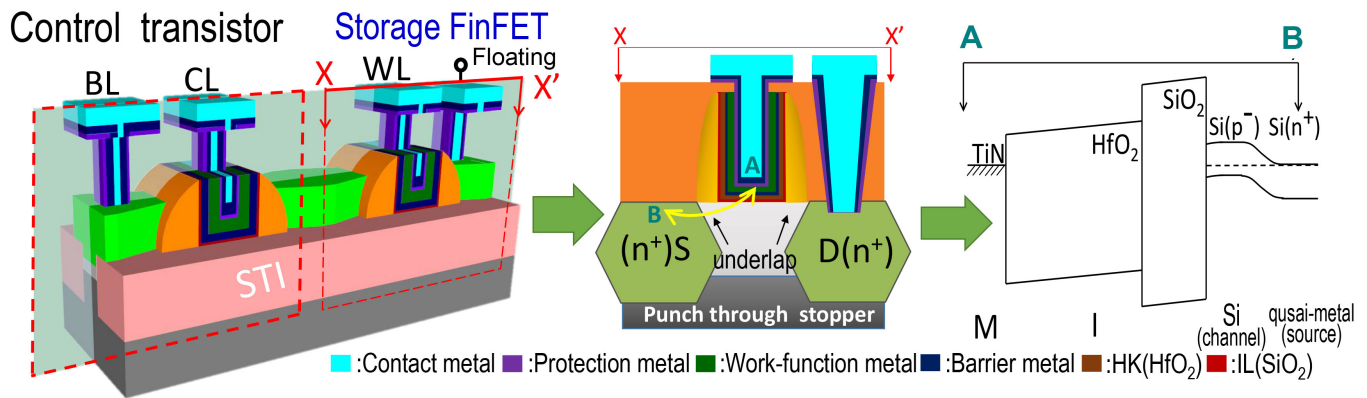
모바일 SoC 는 고성능 컴퓨팅, AI, 기계학습, AR/VR 경험을 위한 강력한 플랫폼이 되었다. **퀄컴**은 업계 최초로 10nm 저전력 고성능 모바일 SoC 생산을 성공적으로 증대했다. 10nm 에서의 늘어난 와이어링 저항, 변동, 강한 레이아웃 스트레스 영향 등과 같은 스케일링 문제를 해결하고자 기술 정의에서 제품 증산 단계까지 설계 및 기술 공동개발을 신중하게 조정했다. 개발된 10nm SoC 칩은 14nm 프로세서에 비해 16% 더 빠르고, 37% 더 작으며, 30% 전력을 더 적게 사용한다.



옥타 코어 10nm SoC 의 총 CPU 전력은 전력 효율적인 설계 및 공정 공동 개발로 쿼드 코어 14nm SoC 에 비해 더 낮으며, 같은 시간에 더 빠른 속도를 낸다 (그림 1).

T6-3 뛰어난 Sneak-path 에 대한 내성, MLC 능력을 가진 pure CMOS FinFET 플랫폼 상에서 플래시 RRAM 을 최초로 입증.sieh 외, 국립자오통대학/ 국립대만사범대/UMC

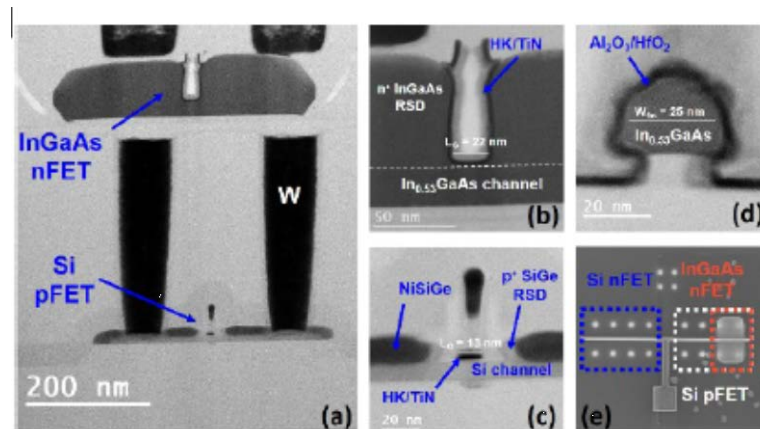
국립자오통대학/ 국립대만사범대/UMC 14nm FinFET 플랫폼과 합쳐진 하이-k/금속 게이트 스택을 활용한 플래시 RRAM 기술을 입증. Ion vacancy 을 기반으로 작동하는 양극성 타입의 RRAM 이다. Sneak-path 문제를 억제하기 위해 새로운 AFI(active fin isolation) 기술을 제안하고 입증했다. 이 기술로 인해 S/N 마진이 1000 배 크게 개선되었다. 기존의 AND 유형의 메모리 셀에 비해 대기 전력 30% 감소, 유효 전력 99% 감소를 달성했다.



두 동일한 FinFET 시리즈로 구성된 하나의 단위 셀(unit cell)로써 임베디드 플래시 기능을 제공한다. (a) 단위 셀, (b) 단면 (그림 2).

T6-4 인터-레이어 컨택트로 FDSOI Si CMOS 상에 InGaAs n-FinFET 을 3D 모노리틱(monolithic) 방식으로 집적한 3D SRAM 을 처음으로 입증, V. Deshpande 외, IBM 취리히 연구소, CEA-Leti

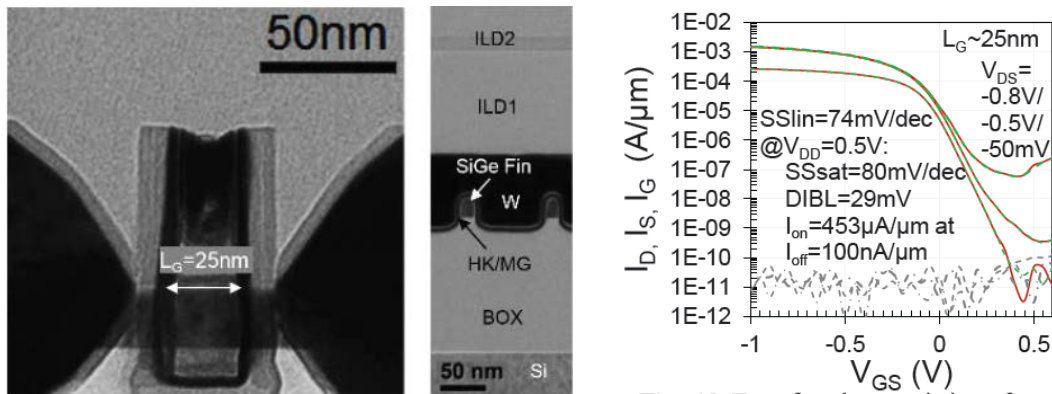
IBM, CEA-Leti FDSOI CMOS 상에서 InGaAs n-FinFET 를 3D 모노리틱 집적한 것을 발표하며 상층에는 쇼트 채널 RMG(replacement metal gate) InGaAs, 하층에는 TiN/W 인터-레이어 컨택트와 함께 게이트 퍼스트(gate-first) Si CMOS 기능을 갖고 있다. 상층 InGaAs 은 RSD(raised source drain)를 활용, 하층 CMOS 는 nFET 를 위한 Si RSD, pFET 를 위한 SiGe RSD 를 가진 최신 소자 집적을 달성했다. 상층 InGaAs ni-FinFET 은 $L_g = 25 \text{ nm}$ 로 스케일 다운되었고, 하층 Si nFET 및 pFET 은 모두 $L_g = 15 \text{ nm}$ 로 스케일 다운되었다. Si pFET 위에 적층된 InGaAs nFET 로 고집적된 3D 6T-SRAM 은 2D 레이아웃에 비해 크게 면적이 줄었다.



TEM 영상 단면: (a) SOI pFET 상의 InGaAs nFET, (b) 22 nm Lg InGaAs nFET, (c) 13 nm Lg Si pFET, (d) 25 nm InGaAs fin, (e) 위에서 본 2D 및 3D 인버터 (그림 3).

T9-1 3D 컨덴세이션 및 새로운 게이트 스택 공정으로 만들어진 HGC 채널의 스케일된 RMG SiGe FinFET 에서 고성능, 기록적인 서브 문턱전압 스윙(subthreshold swing)을 보여준다, P. Hashemi 외, IBM

IBM RMG(replacement High-k/Metal Gate) 흐름을 사용하여 매우 높은 쇼트 채널 성능의 스케일된 HGC(high-Ge-content) 스트레인드 SiGe pMOS FinFET 을 보여준다. 진보된 게이트 스택, 초박 스페이서 형성, S/D 개선을 위한 제조공정은 fin 형성을 위한 3D Ge 컨덴세이션, Si cap 이 없는 2 단계 Ge-free IL(interfacial layer)를 포함한다. Ge-free IL 의 새로운 게이트 스택을 위한 뛰어난 신뢰성, 62 mV/dec 까지 낮아진 기록적인 SS 의 거의 이상적인 스윙을 보여준다. 초박 스페이서의 개선된 I/I free 공정은 Ron 및 Rext 의 상당한 감소를 실현시켰다. 그 결과, $-0.45 \text{ mA}/\mu\text{m}$ 의 Ion, 25nm 로 내려간 Lg 등 기록적인 고성능 SiGe pMOS 가 구현되었고, -0.5V 의 스케일된 VDD 에서 향상된 HP 응용분야에 RMG HGC SiGe FinFET 가 적합함을 강조한다.

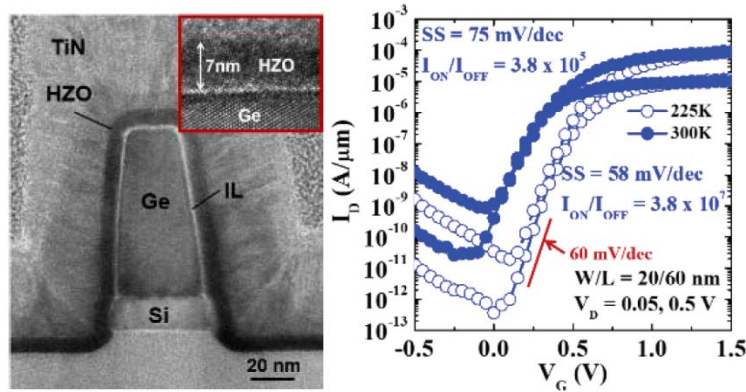


왼쪽: RMG HGC SiGe pFET 의 XTEM 영상. (그림 3)

오른쪽: LG~25nm 의 RMG SiGe FinFET 의 전송 특성 (그림 13).

T12-1 특정 IL(interfacial layer)에서 저온 강유전(ferroelectric) HfZrOx 의 나노 스케일 Ge FinFET 의 65% S.S. 감소, ION 개선을 보여준다, C. -J. Su 외, 국립나노디바이스연구소, 국립성공대학, 국립자오통대학, 국립중산대학, 산업기술연구소, 국가실험연구원.

HfO2 기반의 강유전 게이트 절연체를 활용한 steep slope 트랜지스터가 초저전력 트랜지스터로 주목 받고 있다. 국립나노디바이스연구소, 국립성공대학, 국립자오통대학, 국립중산대학, 산업기술연구소는 체계적으로 어닐링 조건을 조사하여 다른 interfacial layer 를 가진 강유전 HfZrOx (IL-FE-HZO) 게이트 스택의 Ge n-, p-FinFET 을 보여주었다. 마이크로파 어닐링은 기존 급속열처리에 비해 FE 특성의 개선뿐 아니라 게이트 누설과 Ge 상호확산의 억제도 보여준다. 게이트 길이 60nm, FE-HZO/GeOx 게이트 스택의 Ge nFinFET 을 가지고 높은 ION/IOFF (>10⁷) 및 낮은 subthreshold slope(S.S. ~ 58mV/dec.)를 증명했다.

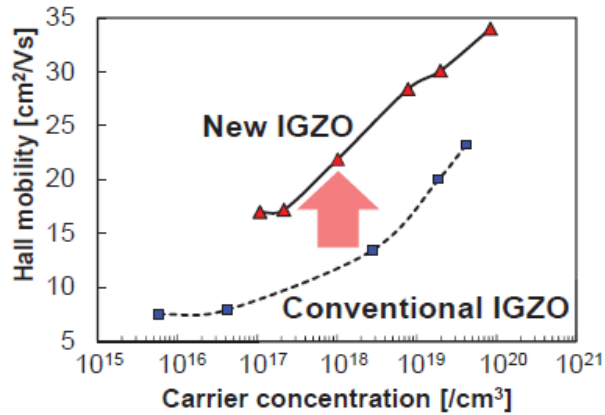
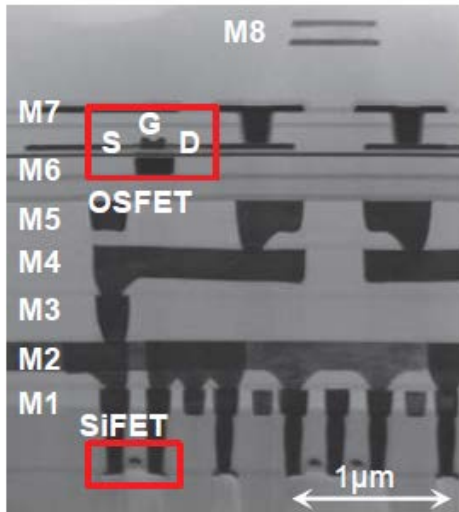


왼쪽: 강유전 HfZrOx 게이트 스택으로 제작된 Ge FinFET 의 TEM 영상 단면 (그림 4).

오른쪽: Fin 폭 20nm, 게이트 길이 60nm 로 제작된 Ge N-FinFET 의 Id-Vg 특성 측정치 (그림 15).

JFS3-3 IoT 노멀리 오프 CPU 응용분야를 위한 결정형 In-Ga-Zn-O 소재 및 초저누설의 트랜지스터의 성능 향상, Shao Hui Wu 외, UMC, 반도체에너지연구소

UMC, 반도체에너지연구소 IGZO 채널 FET의 I_{ON} 을 IGZO 채널의 이동성을 개선하여 4.7 μA 에서 9 μA 로 향상시켰다. 이렇게 개선된 IGZO 및 더블 핑거(double finger) 구조를 노멀리 오프 CPU에 채용했다. 더블 핑거 구조는 S factor 저하(degradation)를 억제하고 채널 폭 W를 키우는데 적용한다. 이러한 조합으로 노멀리 오프 CPU는 주파수 100 MHz에서 작동할 수 있다. 위의 노멀리 오프 CPU 외에도 IGZO 채널 FET는 FPGA에도 적용된다. 이것은 360 MHz에서 작동할 수 있다.

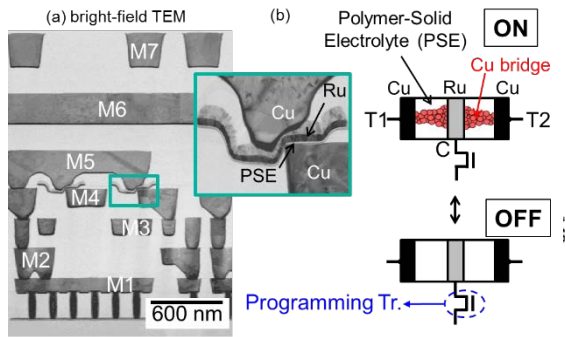


왼쪽: 하이브리드 65nm SiFET와 60nm OSFET의 단면 (그림 1).

오른쪽: 신규 및 기존 IGZO의 홀(Hall) 이동성 비교. 신규 IGZO의 이동성은 기존 IGZO의 거의 2배다 (그림 2).

T2-3 40nm 노드 CMOS 기술로 제작된 저전력 Cu 원자 스위치 프로그래머블 로직, X. Bai 외, NEC

NEC 40nm 노드 CMOS에 집적된(integrated) CAS(complementary Atom Switch) 기반의 비휘발성 프로그래머블 로직(NPL)이 CMOS만의 상용 저전력 PL에 비해 2x 로직 밀도, 3.8x 작동 속도, 3x 전력 효율을 보여준다. 또한 프로그래밍 전압이 감소하여 고전압 프로그래밍 트랜지스터를 코어 트랜지스터로 교체할 수 있는 CAS의 우수한 스케일러빌리티 및 개선된 프로그래밍 특성을 보고한다.



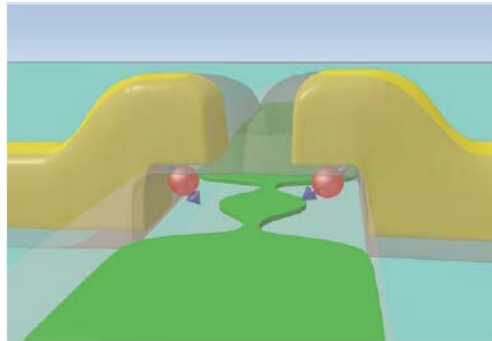
	This work	Commercial
Switch	Atom switch	Pass Tr.
Process node	40 nm	40 nm
Number of LUTs	6400	1280
Logic density [mm^{-2}] (= No. of 4-input -LUT per Area)	2532	1320
Max. Speed at 0.8V	27 MHz	7.1 MHz
VDDmin at 15MHz	0.675 V	0.94 V
Dynamic power at VDDmin	13 $\mu\text{W}/\text{MHz}$	39.5 $\mu\text{W}/\text{MHz}$
Active power at VDDmin	386 μW	630 μW

왼쪽: 40nm 노드 공정의 비휘발성 CAS(complementary atom switch), (a) TEM 영상, (b) ON/OFF 상태의 스키마 영상 (그림 2).

오른쪽: 성능 비교 (응용분야: ALU). 코어 트랜지스터를 사용하는 원자 스위치 NPL의 모든 로직 밀도, 속도, 전력 효율은 상용 PL에 비해 크게 개선되었다 (표 1).

T13-1 Si MOS 기술의 양자 컴퓨팅을 향하여: 전하량 검출기가 내장된 FDSOI 스플릿-게이트 (split-Gate) 소자에서 스핀 상태의 싱글-샷 리드아웃(single-shot readout), M. Urdampilleta 외, Institut Neel, CEA LETI, CEA INAC-PHELIQS

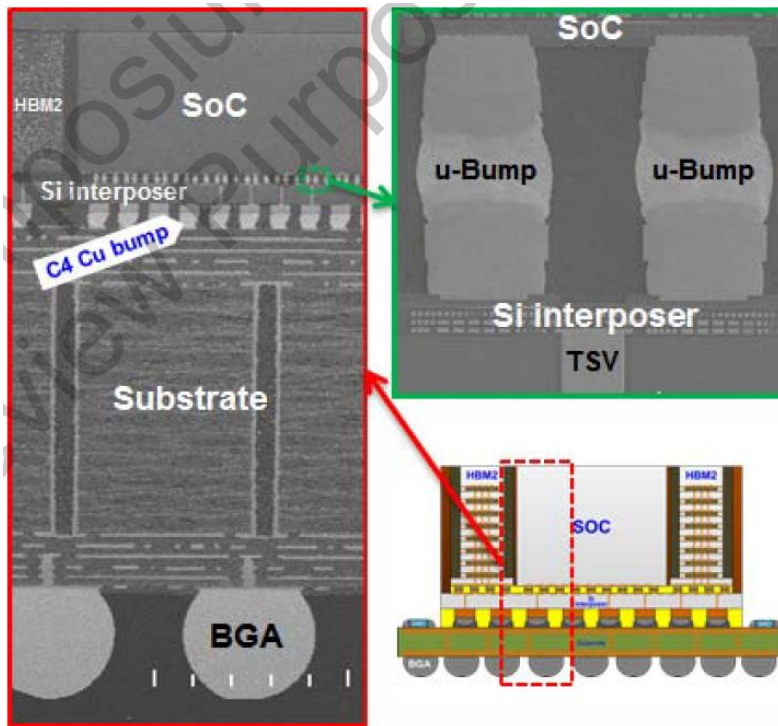
Institut Neel, CEA LETI, CEA INAC-PHELIQS 파운더리-호환 Si MOS 기술 및 전하량 검출기가 내장된 스플릿-게이트 설계를 사용하여 쿼텀닷에서 싱글 스핀을 실시간으로 모니터링 하는 것을 보여줄 것이다. 싱글-샷 리드아웃은 Si 기반의 장애 방지(fault-tolerant) 양자 컴퓨팅을 추구하는데 있어서 꼭 필요한 단계이므로 이 연구는 MOS 기술 플랫폼에서 Si 스핀 큐비트 제작에 있어서 매우 유망한 옵션을 제시한다.



스플릿-게이트 소자 및 빌트인 비침범적 검출기. 스핀 정보를 담고 있는 쿼텀닷은 마사 코너(masa corner)에서 만들어지고 래핑(wrapping) 게이트로 제어된다. 채널의 정전성으로 인해 (초록) SET 가 게이트 사이에 만들어지고, 두 QD 모두에 용량적으로 결합 (capacively coupled)된다 (그림 2).

T5-1 2세대 CoWoS 기술을 통한 어드밴스드 로직-메모리 시스템의 웨이퍼 수준 집적

TSMC VLSI SoC를 뒤틀림이 억제된 최대 여섯 8-high HBM2로 집적한 CoWoS-2 기술을 개발하여 패키지 수율을 높이는 결과를 얻었다. 2-마스크 스티칭 공정에서 제작한 최대 1200 mm²의 초대형 Si 인터포저를 CoWoS-2의 기초를 만드는데 사용하였다. CoWoS-2는 다양한 고성능 컴퓨팅 응용분야를 위해 로직 SoC 및 HBM 간의 로직-메모리의 이질적(heterogeneous) 집적화를 위한 유연한 3D IC 플랫폼으로써 자리잡고 있다.



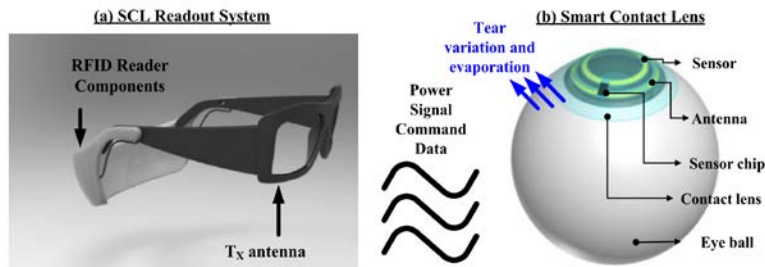
u-범프(Bump), Si 인터포저, TSV, C4 Cu 범프, 서브스트레이트, BGA, 어드밴스드 노드 SoC, HBM2 를 포함한 CoWoS-2 컴포넌트의 SEM 단면 (그림 6).

CoWoS-2: 2세대 Chip-on-Wafer-on-Substrate

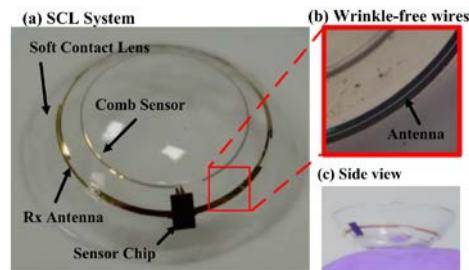
HBM2: 2세대 High Bandwidth Memory

T8-1 연속적인 안구건조증 진단을 위한 완전히 통합되고, 무선으로 전력이 전송되며, 일반적인 장비로 구성된 온-렌즈 시스템:

국립자오통대학 눈물 증발의 연속적인 평가를 위한 스마트 콘택트 렌즈(SCL) 센서 시스템을 발표한다. 생체에 적합한 히드로젤 기반의 콘택트 렌즈에 내장되는 눈물 센서 및 안테나, 튜닝 가능한 감도 센서-판독 회로로 구성된 시스템이다. 온-렌즈 시스템은 센서 제어 및 데이터 통신을 위해 상용 RFID 판독기를 사용할 수 있다. 환자는 지속적인 눈물 성분 모니터링을 위해 SCL을 장착할 수 있다.



온-렌즈 센서 시스템. (a) SCL- 판독 시스템, (b) 센서, 안테나, 센서 칩이 통합된 SCL (그림 1).



주름 없는 주조성형 기법을 이용한 소프트 콘택트 렌즈에 내장된 SCL 시스템 사진 (그림 13).

2017 VLSI 회로 심포지움 주요 논문 소개

<<프로세서>>

IoT 시대의 프로세서는 보안 및 인공지능을 위한 복잡한 연산이 더욱 요구된다. 현대의 암호 표준은 간단한 IoT 암호기술이라도 적은 에너지를 사용하여 복잡한 암호 작업을 수행하도록 요구된다. 인공지능 응용분야는 추론 및 인식 절차를 효율적이고도 압축적으로 구현하도록 요구한다. 다음 세 논문은 알고리즘과 전력 효율적인 설계를 사용하여 이러한 요구에 부응하는 기법을 제시한다.

리크립터(Recryptor): IoT 를 위한 재구성 가능한 인-메모리 암호 Cortex-M0 프로세서

미시간대학은 현재 구현된 소프트웨어와 하드웨어보다 더 빠르고 전력을 덜 소모하는 다양한 암호 알고리즘 기능을 가진 재구성 가능한 암호 프로세서를 제시한다. 상용 ARM Cortex-M0 프로세서에 내장된 프로그래머블 인-메모리 계산 블록은 암호 알고리즘과 표준에 많이 등장하는 wide bit-width 연산 작업의 속도를 높인다. 40nm CMOS 로 구현된 프로세서이며 기존의 소프트웨어와 하드웨어로 가속을 내는 구현에 비해 6.8 배 더 빠른 작동, 12.8 배 에너지 절감을 보여준다.

(논문 C20-1, "리크립터(Recryptor): IoT 를 위한 재구성 가능한 인-메모리 암호 Cortex-M0 프로세서," 외, 미시간대학)

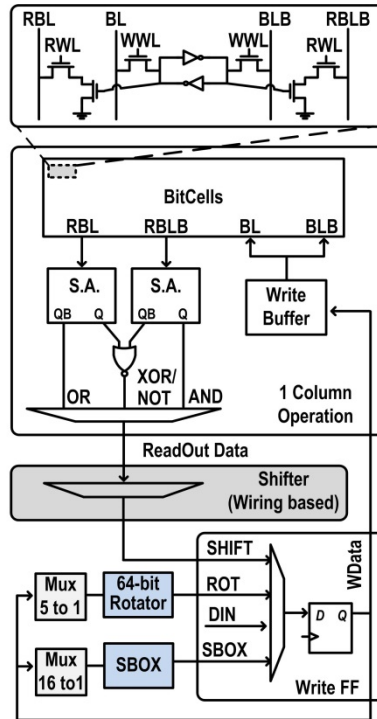


Fig.2. Proposed Crypto-SRAM Bank (CSB).

그림 2

이 그림은 CSB(Crypto-SRAM Bank)라고 하는 인-메모리 계산 블록이다. 이 블록으로 wide bit-width 데이터를 암호 알고리즘에 따라 SRAM 에서 쉽게 읽어오고 곧 처리하여 다시 SRAM 에 써넣는다.

BRein 메모리: 65nm CMOS 에 구현된 13 층 4.2 K 뉴런/0.8 M 시냅스 2 진/3 진 재구성 가능한 인-메모리 딥 뉴럴 네트워크 가속기

딥 뉴럴 네트워크(DNN)가 주목을 받고 있다. 하지만 계산 및 메모리 액세스가 엄청나게 요구되어 면적/전력/에너지 효율이 감소한다. 최근 DNN 가속기는 높은 성능 및 에너지 효율을 달성하기 위해 맞춤형 설계로 이루어지지만 그 결과 다양한 기능을 넣을 수 없다.

훗카이도대학, 도쿄공업대학, 게이오대학은 65nm CMOS 에서 DNN 을 위한 가속기를 제안한다. 이 가속기는 PIM(Processing-in-memory) 모듈이라고 하는 처리 요소가 FPGA 와 비슷하게 재구성 가능하게 배열되어있어서 매우 다양한 DNN 을 에뮬레이션 할 수 있다. 또한 각 PIM 모듈은 2 진/3 진 DNN 을 맵핑하도록 설계되어 정확도가 약간 떨어지지만 메모리 및 계산의 필요성을 크게 줄인다. 제안된 칩은 CPU, GPU, FPGA 구현에 비해 성능 및 에너지 효율을 각각 10-100 배, 100-10000 배 개선하고, 1.4TOPS 를 달성하여 최신 CNN 가속기를 능가한다.

(논문 C2-1, "BRein 메모리: 65nm CMOS 에서 구현된 13 층 4.2 K 뉴런/0.8 M 시냅스 2 진/3 진 재구성 가능한 인-메모리 딥 뉴럴 네트워크 가속기," 외, 훗카이도대학, 도쿄공업대학, 게이오대학)

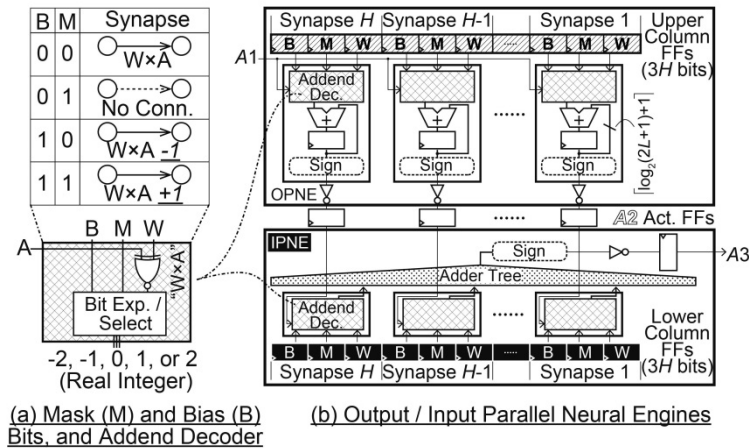


그림 3

Ternarization 및 biasing 을 위한 입출력-병렬 뉴럴 엔진

자율 SRPG/DVFS 및 온도 추적 클럭을 갖춘 12.4pJ/사이클 임계 이하, 16pJ/사이클 근사 임계 ARM Cortex-M0+ MCU

ARM 은 IoT 응용분야를 위한 근사 임계 작동 가능한 ARM Cortex M0+ MCU 를 입증한다. Cortex M0+는 일반적으로 배터리로 작동하는 무선 센서 노드 등의 장치에서 사용되므로 저전력으로 작동하는 것이 중요하다. MCU 는 유효 에너지를 12.44pJ/사이클로, 대기상태 전력 소모는 139.4nW 로 낮추고, 이는 ARM 이 전에 입증한 연구에 비해 약 반으로 줄었다. 이러한 성능은 SRPG(state-retention power gating), DVFS(dynamic voltage & frequency scaling)로 가능해졌다. 임계 이하 전압 작동을 위해 이러한 기법을 효율적으로 사용하기 위해 클럭 주파수는 작동 온도와 함께 자동으로 조정되며, 임계 이하 작동은 최대 작동 주파수에 큰 영향을 준다. 클럭 주파수는 TCRO(Tuned Clock Ring Oscillator)로 조정된다. 작동 및 전력소모는 저전력 IoT 작업량 측정에 사용되는 EEMBC 의 ULPBench 을 실행하여 확인한다.

(논문 C26-2, "자율 SRPG/DVFS 및 온도 추적 클럭을 갖춘 12.4pJ/사이클 임계 이하, 16pJ/사이클 근사 임계 ARM Cortex-M0+ MCU," 외, ARM)

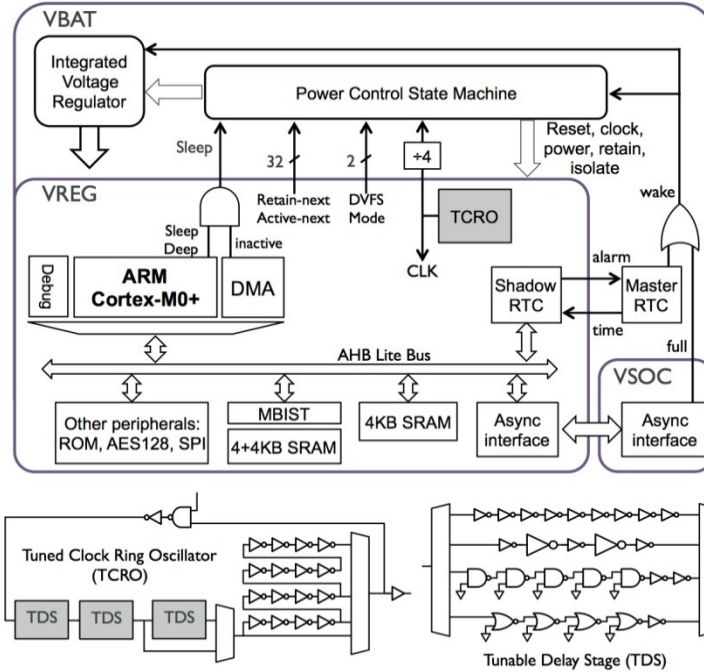


그림 1

클럭 조절을 위한 MCU 칩 및 TCRO 블록 그림

<<메모리>>

55nm DDC 기술을 이용한 검색 및 인-메모리 컴퓨팅을 위한 0.3V VDDmin 4+2T SRAM

미시간대학, 앤 아버, 미국 후지쯔반도체는 검색 및 인-메모리 컴퓨팅을 위한 0.3V VDDmin 4+2T SRAM 을 발표한다.

DDC(deeply depleted channel) 기술의 강한 인체 효과(body effect)는 메모리 셀이 N-well 을 쓰기 워드라인으로 사용할 수 있게 허용한다.

이로써 메모리 셀과 비트라인 사이의 2 개의 기존 액세스 트랜지스터를 없앨 수 있다. 또한 differential read 전용의 두 트랜지스터를 사용하여 인-메모리 불리언 (Boolean) 논리 기능을 위한 신뢰성 있는 다수-단어 활성화 및 낮은 VDDmin (=0.3V) 배열 오퍼레이션이 가능하다. SRAM 은 검색 오퍼레이션을 가능케 하며 BCAM 또는 TCAM 으로 구성할 수 있다.

(논문 C12-2, "55nm DDC 기술을 이용한 검색 및 인-메모리 컴퓨팅을 위한 0.3V VDDmin 4+2T SRAM," 외, 미시간대학, 후지쯔연구소)

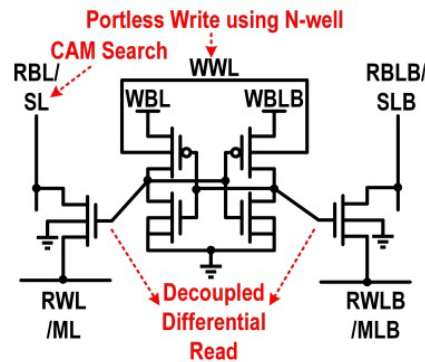


그림 1

쓰기 워드라인용 N-well 을 가진 4+2T SRAM 메모리 셀 및 분리된 읽기/쓰기 경로

<<생체 인증 및 센서>>

실시간 생체 인증 및 개인 심장 모니터링을 위한 65nm CMOS 로 구현된 1.06 uW 스마트 ECG 프로세서

심전도검사(ECG)는 심장 근육세포 활동과 관련된 전기 신호를 측정하며 부정맥 등과 같은 심장질환에 관한 많은 정보를 담고 있다. 심장질환이 있는 환자는 매일 모니터링이 필요하나 신호가 약해서 특수 장비와 안정 상태가 필요하므로 그렇게 하는 것이 어렵다.

웨어러블 ECG 가 이런 수요를 충족할 수 있다. 의료 분야 외에도 건강 및 스포츠 과학을 위한 모니터링 장치로써도 촉망된다. 웨어러블 ECG 장치를 위한 중요한 요건은 저전력 소모다. ECG 의 원 신호의 데이터는 매우 방대하여 저전력 신호 처리나 데이터 압축을 통해 무선 데이터 전송의 전력소모를 줄여야 한다. 또한 무선 데이터 전송 웨어러블 장치에서 흔히 볼 수 있는 문제처럼 ECG 신호 같은 개인정보 전송의 보안도 문제다.

아리조나주립대학 및 삼성은 ECG 기반의 바이오 인증과 부정맥 발견을 수행하고, 그림 1 에 나온 것과 같은 이상 ECG 펄스 형태 발견 등 이상을 검출하도록 설계된 저전력 스마트 ECG 프로세서를 개발했다. ECG 는 개인마다 독특하므로 바이오 인증에 사용될 수 있다. 이전 연구에 비해 이번 연구는 ECG 인증을 위한 최초의 ASIC 이며, 645 명의 피험자에게 적용한 것과 동일한 신경망 학습 알고리즘을 사용하면 오류율을 매우 낮출 수 있다.

65nm 저전력 CMOS 공정에서 실현된 1.06 μW ECG 프로세서를 공급 전압 0.55V 및 2 kHz 클럭 주파수에서 ECG 기반의 바이오 인증, 부정맥 발견, 이상 발견을 수행하기 위해 측정했다. Lasso 회귀모형에 의한 데이터 중심의 스파시티(sparsity) 개선 방법을 사용하여 신경망 무게(weights)를 압축하면서 동시에 뛰어난 오류율을 유지한다.

(논문 C9-1, "실시간 생체 인증 및 개인 심장 모니터링을 위한 65nm CMOS 로 구현된 1.06 μW 스마트 ECG 프로세서," 외, 아리조나주립대학, 삼성베이징연구소, 삼성종합기술원)

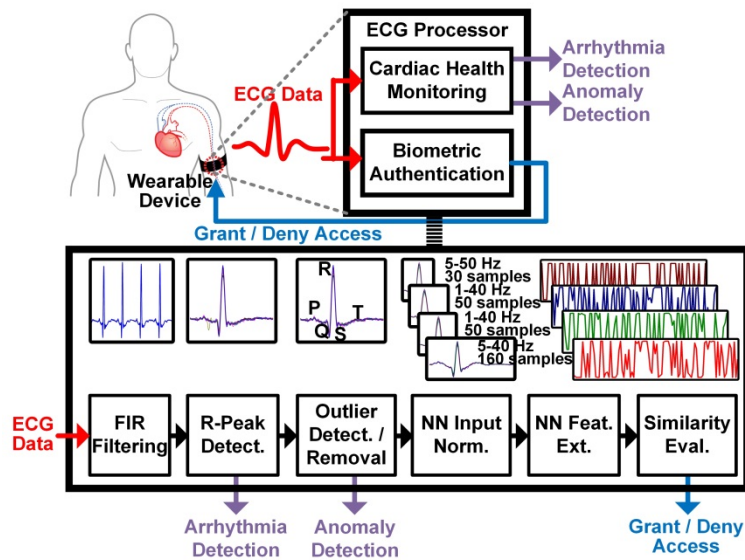


그림 1

아리조나주립대학, 삼성연구소, 삼성종합기술원 그룹은 ECG 기반의 바이오 인증, 부정맥 발견, 이상 발견을 수행하고, 신경망 학습 알고리즘을 기반으로 오류율을 매우 낮출 수 있는 저전력 스마트 ECG 프로세서를 개발했다. FIR: finite impulse response.

실시간 인간 간질발작 통제용 무선 전원 및 양방향 데이터 원격측정을 위해 완전히 통합된 폐쇄형-루프 신경조절 SoC

국립자오통대학은 오늘날 전세계 인구의 약 1%를 차지할 만큼 흔한 신경성 장애인 간질환자 치료를 위해 완전히 통합된 무선 전원(이식 가능) 간질발작 탐지 및 억제 SoC 를 보여주었다. 16-채널로 기록된 뇌의 ECoG 신호를 통하여 간질 발병을 탐지하고 간질발작을 억제할 자극 펄스를 생성하는 신경조절 SoC 이다. 최근 보고된 신경조절 SoC 중에서 가장 높은 97.76%의 탐지 정확도를 달성했다.

(논문 C4-1, "실시간 인간 간질발작 통제용 무선 전원 및 양방향 데이터 원격측정을 위해 완전히 통합된 폐쇄형-루프 신경조절 SoC," 외,국립자오통대학, 국립성공대학, 중산의학대학병원, 까오슝창궁기념병원, 창궁의대")

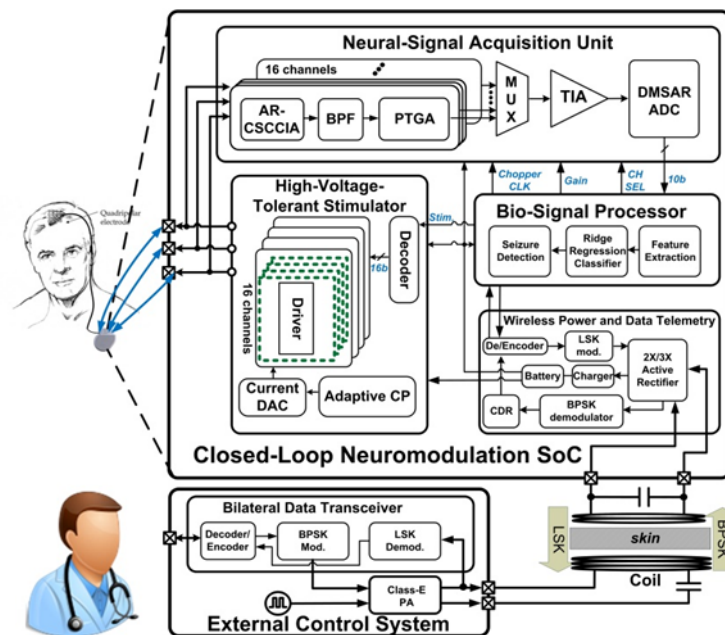


그림 1

국립자오통대학은 아날로그 신호 획득 프런트-엔드, 바이오 신호 프로세서, 적응적 제어 뉴런 자극기, 무선 전력 전송 장치를 포함한 폐쇄형-루프 신경조절에 필요한 모든 컴포넌트를 0.18um CMOS 내의 5x5mm2 SoC 에 통합했다.

영역 제어를 위한 배열-병렬 ADC 아키텍처의 4.1Mpix 280fps 스택 CMOS 이미지 센서

스택 CMOS 이미지 센서(CIS)는 계속해서 모바일 디바이스의 기능과 사용자 경험을 향상시킨다. 스택킹으로 고도의 신호처리 및 신호처리 병렬화의 통합이 가능하다. 또한 이질적(hetero)-프로세스 기술 통합 및 글로벌 셔터 픽셀 활용을 도입했다. 그러나 전방 조사형

글로벌 셔터 및 컬럼 병렬 ADC 아키텍처는 각각 고감도 및 유연한 ROI(region of interest) 리드아웃(readout)에 어려움이 있다.

소니는 감시 및 공장 자동화 응용분야를 위해 데이터 대역폭 및 전력 소모를 줄인 ROI-제어 가능한 이미지 센서를 선보인다. 배열-병렬 ADC 아키텍처를 활용하여 이미지 왜곡이 없는 유연한 ROI 제어 리드아웃을 실현했고, ADC 전력을 적응적으로 절약한다. 게다가 FD(floating diffusion) 기반의 후방 조사형 글로벌 셔터와 더불어 액티브 리셋(active reset) 및 프레임 CDS 를 운영하여 4.2e-rms 의 낮은 다크 랜덤 노이즈(dark random noise)를 달성했다.

(논문 C19-1, "영역 제어를 위한 배열-병렬 ADC 아키텍처의 4.1Mpix 280fps 스택 CMOS 이미지 센서," Tomohiro Takahashi 외, Sony 소니반도체솔루션, 소니 LSI 디자인, 소니전자)

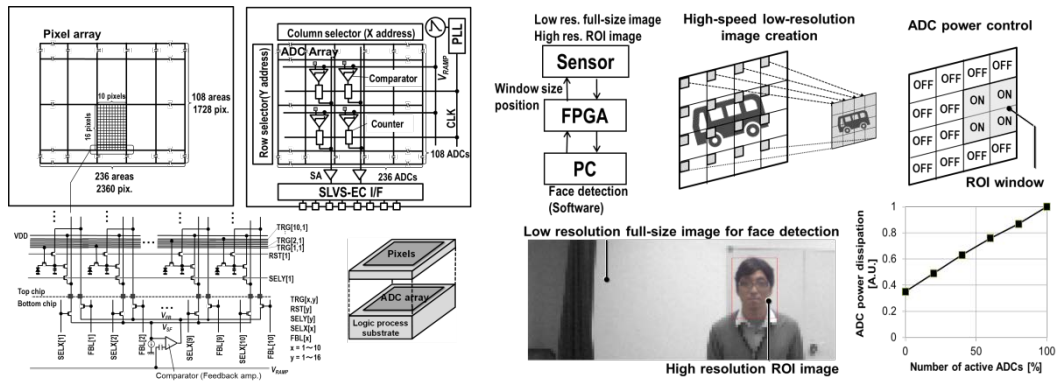


그림 1, 그림 4

위 그림은 ROI 지능형 센서 시스템을 가능케 하는 배열-병렬 ADC 아키텍처다.

신호 향상 및 미세 오염 검교정 기법 개선을 기반으로 한 10.1" 56-채널, 183 uW/전극, 0.73 mm2/센서의 SNR 이 높은 3D 호버 센서

요즘 터치 패널 성능의 한계는 터치된 물체의 낮은 감도에 있다. 문제는 패널 전극의 상호 정전용량(mutual capacitance) 감지인데, 예를 들면 패널을 터치하는 물체와 전극간의 정전용량이 커야 한다. 그래서 감도가 낮고 패널은 2D 위치만 감지할 수 있는 것이다. 이 문제를 해결하기 위해 한국과학기술원과 삼성전자 연구원들이 미래의 휴대폰 터치 패널용으로 새로운 3D 호버 센싱 회로를 제안한다. 터치하는 물체 자체의 정전용량의 변동을 감지하고 3D 호버링을 발견해서 감도 및 더욱 정밀한 터치-위치 해상도를 높이는 SCSS(self-capacitance

sensing scheme)을 기반으로 한 회로를 제안한 것이다. 신호대잡음비(SNR)는 전극 그룹화 및 프로파일 튜닝 방법으로 높였다. 기존의 SCSS 회로는 패널 오프셋 제거 회로가 필요해서 전력 소모가 많았으나 이 연구 그룹은 구동 회로와 감지 회로를 분리하여 자동 오프셋 제거에 성공하면서 전력 및 다이 면적을 크게 줄인 점이 주목할 만하다. 그 결과 매우 높은 신호대잡음비 (39dB) 및 낮은 전력소모(183uW/전극)를 구현했다.

(논문 C24-1, "신호 향상 및 미세 오류 검교정 기법 개선을 기반으로 한 10.1" 56-채널, 183 uW/전극, 0.73 mm²/센서의 SNR 이 높은 3D 호버 센서," 외, 한국과학기술원, 삼성전자)

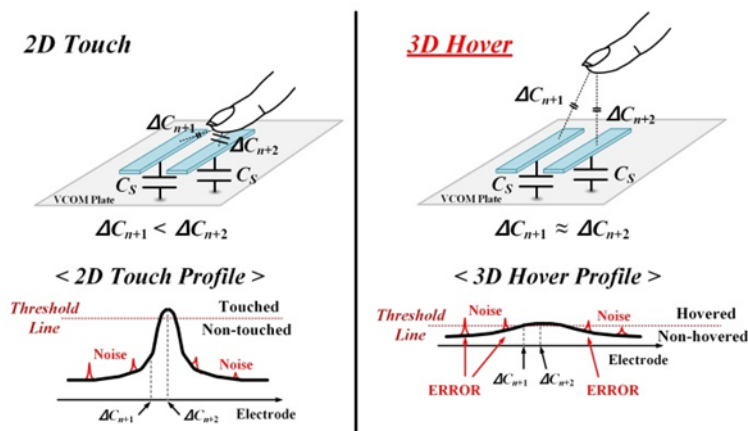


그림 3

위 그림은 기존 “2D 터치” (왼쪽), “3D 호버” (오른쪽) 센서를 비교한다. 기존에는 물체(손가락)와 터치된 패널간의 정전용량 변동이 (ΔC_{n+2}) 클 때만 감지가 가능하기 때문에 물체가 패널을 터치해야만 한다. 제안된 센서는 물체가 패널로부터 상당히 떨어져 있어도 정전용량의 변동을 감지하여 3D 호버 감지가 가능하다. 신호 프로파일(안쪽 그림)에 나와 있듯이 각 정전용량 변동 신호는 비교적 약하고 임계치 결정이 어렵지만 근처 패널의 신호를 그룹화하여 높은 신호대잡음비를 얻었다.

<<전력 변환>>

14nm 트라이-게이트 CMOS 에서 구현한 백사이드(backside) 평판형 마그네틱 코어 3D-TSV 기반의 온-다이 솔레노이드 인덕터를 가진 디지털 방식으로 제어되고 완전히 집적된 전압 조정기

인텔은 최신 전력 변환 효율 수준을 달성한 14nm 트라이-게이트 CMOS 에서 구현한 완전히 통합되고 디지털 방식으로 제어되는 buck 전압 조정기(VR)를 발표한다. 목표로 하는 응용분야는 열 제약조건이 엄격해서 각 다이의 로컬 전압 조정기가 가벼운 부하 상태에서 높은 전력 변환 효율로 작동해야 하는 경우의 TSV-기반 3D 스택 이질적 멀티-다이 패키지이며 TSV-친화적인 면적 효율이 높은 인덕터 집적이 바람직한 경우이다. 인텔은 백사이드에 고투과성 평판형 마그네틱 코어와 함께 다이 주위에 4.5 TSV-기반 수직 선회를 사용하는 온-다이 솔레노이드 인덕터를 만들었다. 인덕턴스 밀도는 111nH/mm²로 개선되었으며, 이는 기존의 비평판형 마그네틱 코어 인덕터에 비해 2 배 이상이고, 평판형 나선형 인덕터에 비해 8 배 이상 높다. 이 조정기는 히스테리시스 및 펄스 주파수 변조 제어를 사용하여 1.2V 입력으로부터 0.4V-1.1V 출력을 내며 낮은 부하 상태(1.5mA)에서 고전력변환율(77%)을 달성했다.

(논문 JFS2-1, "14nm 트라이-게이트 CMOS 에서 구현된 백사이드 평판형 마그네틱 코어를 가진 3D-TSV 기반의 온-다이 솔레노이드 인덕터를 가진 디지털 방식으로 제어되고 완전히 집적된 전압 조정기," H. K. Krishnamurthy 외, 인텔)

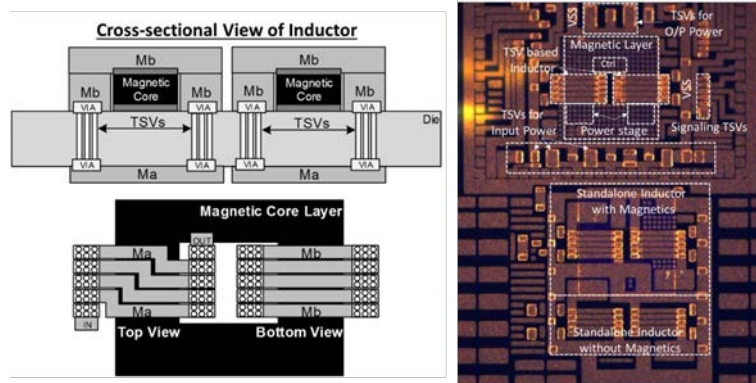


그림 1, 그림 2

14nm 트라이-게이트 CMOS 기술의 전압 조정기 칩 마이크로그래프 및 TSV 기반의 온-다이 인덕터의 다양한 모습.

<<아날로그>>

용량성-축퇴 (Capacitively-Degenerated) 100dB 선형 20-150MS/s 동적 증폭기

브로드콤과 델프트공학대학은 100mVpp,diff 및 4x 게인 입력의 파이프라인 ADC 를 위한 새로운 동적 잔류 전압 증폭기를 발표한다. -100dB THD 를 달성했으며 이는 동적 증폭기에서 보고된 값 중에 가장 낮은 것이다. 파이프라인 ADC 의 잔류 전압 증폭은 종종 큰 대역폭을

요하는 폐쇄형 루프 증폭기에 의존한다. 반면에 동적 증폭기는 개방형 루프이며 전력 효율이 높지만 더 비선형적이다. 용량성-축퇴 선형화 기법을 채용한 동적 증폭기 설계를 제안하며 이것은 느린 디지털 비선형성 탐지를 사용하고 아날로그 제어 전압을 조정하여 뛰어난 선형성 성능과 낮은 전력 부담을 보장한다.

(논문 C11-1, "용량성-축퇴 100dB 선형 20-150MS/s 동적 증폭기," 외, 브로드콤, 델프트공학대학)

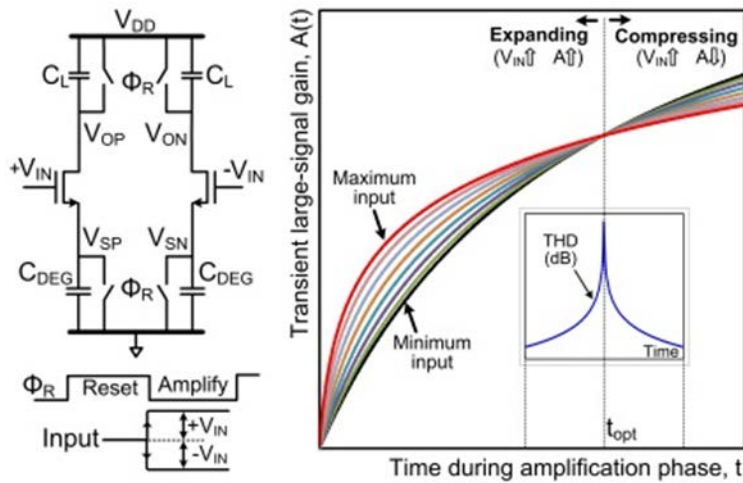


그림 1

이 논문에서 증폭기의 출력 샘플링과 관련된 비선형성은 때때로 t_{opt} 외에는 오프 칩(off-chip)에서 탐지된다. 그 결과, 바이어스 전류 I_B 를 PVT 상에서 튜닝하기 위해 조정함에 따라 간단한 비선형성 교정 기능을 제공한다.

<<변환기>>

전기 용량의 기준이 안정된 16nm 69dB SNDR 300MSps ADC

아이벡은 내부 DAC 스위칭으로 인한 기준 전압 리플을 제거하기 위한 독특한 장치를 가진 16nm 69dB SNDR 300MSps 파이프라인 SAR ADC 을 보여줄 것이다. 각 SAR 변환 단계의 용량성 DAC 의 기준 변환은 기준으로부터 신호-종속적 전하를 끌어오고 중요한 ADC 성능 중 하나인 큰 하모닉 왜곡을 야기한다. 그 결과로 SAR ADC 는 상당히 전력소모 및 면적을 희생시키는 디커플링 커패시터 및/또는 기준 버퍼링을 필요로 한다. 제안된 안정화 방법은 DAC 코드당 보조 커패시터(C_{aux})를 위한 적절한 값을 선택하여 기준 상수(reference constant)에서

오는 전하를 합친다. 약간의 전력과 면적 비용만으로 기준 전압 상의 모든 신호-종속적인 리플은 제거될 수 있다.

(논문 C8-1, "전기 용량의 기준이 안정된 16nm 69dB SNDR 300MSps ADC," 외, IMEC)

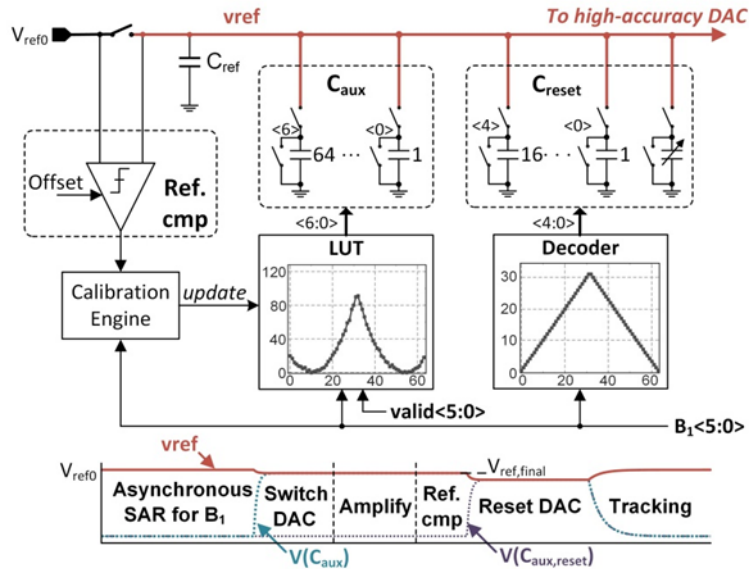


그림 2

이 그림은 타이밍 그림과 함께 기준 안정화 방법의 구현을 보여준다. LUT(look-up table)은 각 DAC 코드를 C_{aux} 의 올바른 세팅 값으로 맵핑한다. 검교정 엔진은 비교회로(Ref. cmp)의 출력을 모니터링하여 그에 맞게 LUT 값을 업데이트한다.

<<무선 통신 및 클럭 생성>>

100mW 3.0 Gb/s 스펙트럼 효율적인 60 GHz 바이페이즈(Bi-Phase) OOK CMOS 트랜시버

도쿄공업대학과 삼성전자는 데이터 전송률이 높고 스펙트럼 효율이 높은 실내 단거리 IoT 용 60 GHz 무선 트랜시버를 발표한다. 기존의 OOK(On-Off-Keying) 또는 BPSK(Bi-Phase-Shift-Keying)에 비해 새로 제안된 BPOOK(Bi-Phase On-Off-Keying)는 스펙트럼 효율을 높이고 같은 스펙트럼 대역폭 내에서 데이터 전송률을 배가시키는 것이 가능하다. 데이터 전송률 3.0 Gb/s 을 구현하면서도 IEEE 802.11ad(WiGig) 표준의 스펙트럼 마스크를 준수하고, 채널

환경이 좋지 않은 곳에서도 802.11ad 의 싱글 캐리어 BPSK 모드(1.76Gb/s)가 지원된다. 제안된 변조 방법은 저전력으로 작동하기 위해 간단한 비동기(incoherent) 복조기를 수신기에 사용하는 것이 가능하다. 트랜시버의 총 전력소모는 100mW 로 감소할 수 있으며 기존 트랜시버에 비해 전력소모를 60% 줄인 것이다.

(논문 C23-1, "100mW 3.0 Gb/s 스펙트럼 효율적인 60 GHz 바이페이즈 OOK CMOS 트랜시버," 외, 삼성전자, 도쿄공업대학)

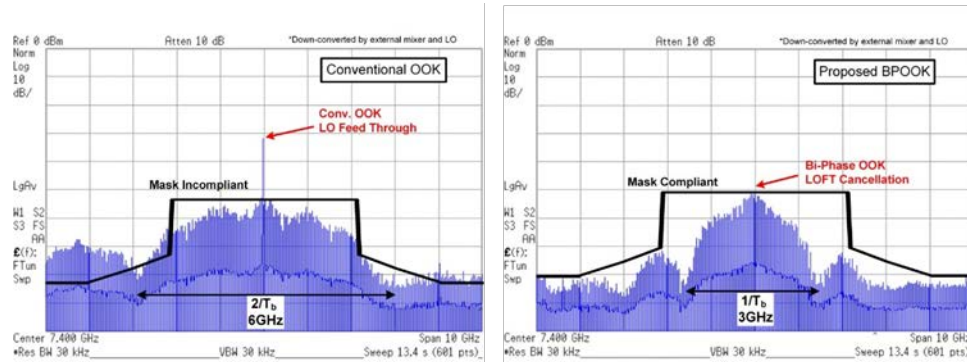


그림 5 (a) 및 (b)

측정된 기존 On-Off-keying 전송기 스펙트럼 (a) 및 제안된 Bi-Phase On-Off-Keying (b) 그림이다. 제안된 BPOOK 의 스펙트럼 대역폭은 같은 데이터 전송률의 기존 OOK 의 절반 정도이며, IEEE 802.11ad/WiGig 스펙트럼 마스크 내에서 3.0 Gb/s 를 실현했다.

28nm CMOS 에서 구현된 스위치-커패시터 더블러(doubler)를 사용한 PVT-비민감형 TDC 의 블루투스 LE 를 위한 0.5V 1.6mW 2.4GHz 프랙셔널(Fractional)-N All-Digital PLL

에너지 수확장치 또는 소형 배터리 전원을 사용하는 IoT 응용분야에서는 단일 저공급전압으로 작동하는 SoC 가 필수적이다. 저전력 블루투스(BLE)의 모든 요구사항을 지원하면서도 1V 이하에서 작동하는 주파수 생성의 목표는 오랫동안 추구되었다. TSMC 와 더블린아일랜드국립대학은 저전력 블루투스용 단일공급전압 0.5V 에서 작동하는 초저전압 PLL 을 보여준다. 디지털 블록을 위한 0.5-V 아날로그 블록과 내부 전압 더블러는 공정, 전압, 온도 변동에도 안정된 성능을 보인다. 28nm CMOS 에서 구현된 프로토타입은 지터 0.82ps RMS 의 1.6-mW 오퍼레이션을 얻었으며, 이는 PLL FoM -239.2dB 에 해당한다.

(논문 C14-1, "28nm CMOS 에서 구현된 스위치-커패시터 더블러(doubler)를 사용한 PVT-비민감형 TDC 의 블루투스 LE 를 위한 0.5V 1.6mW 2.4GHz 프랙셔널-N All-Digital PLL," 외, 대만반도체제조사(TSMC), 더블린아일랜드국립대학)

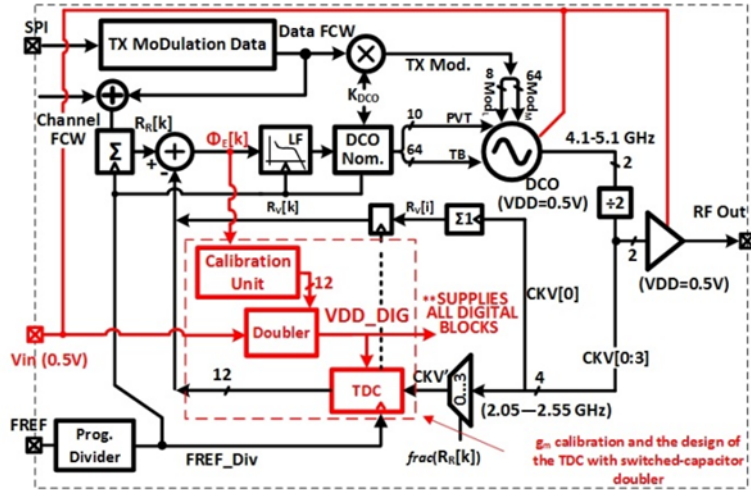


그림 3

위 그림은 단일 0.5V 공급으로 작동하는 BLE 트랜시버를 위한 AD-PLL 이다.

<<무선통신>>

14nm FinFET CMOS 에서 구현한 -11.7dBm 민감도의 32Gb/s, 4.7pJ/bit 광회선

급성장하는 클라우드 컴퓨팅에서 필요한 것은 데이터 센터에서 높은 대역폭과 50m 까지 거리에서 낮은 통신비용이다. 10m 이상의 거리에서 25Gp/s 이상의 데이터 전송률을 달성하기란 매체 손실 및 심볼간방해로 인해 저가 구리 인터커넥트로 어렵다 (데이터 패턴에 따른 열화). 반면에 손실이 적은 광섬유 광회로는 데이터 전송률이 높아지면 고주파수 노이즈로 인한 어려움이 있다. IBM 은 고주파수 노이즈를 줄이기 위해 의도적으로 앞단 수신 회로의 대역폭을 제한시키고 비선형 데이터 복구를 위한 DFE(decision feedback equalizer)를 도입함으로써 이 문제를 극복한다. 송신기 및 수신기 칩은 14nm FinFET CMOS 공정에서 구현되었으며 실제 -11.7-dBm OMA 민감도 및 최고수준인 1.4-pJ/s 효율의 32Gb/s 광 데이터 전송을 성공적으로 달성했다.

(논문 C25-1, "14nm FinFET CMOS 에서 구현한 -11.7dBm 민감도의 32Gb/s, 4.7pJ/bit 광회선," 외, IBM)

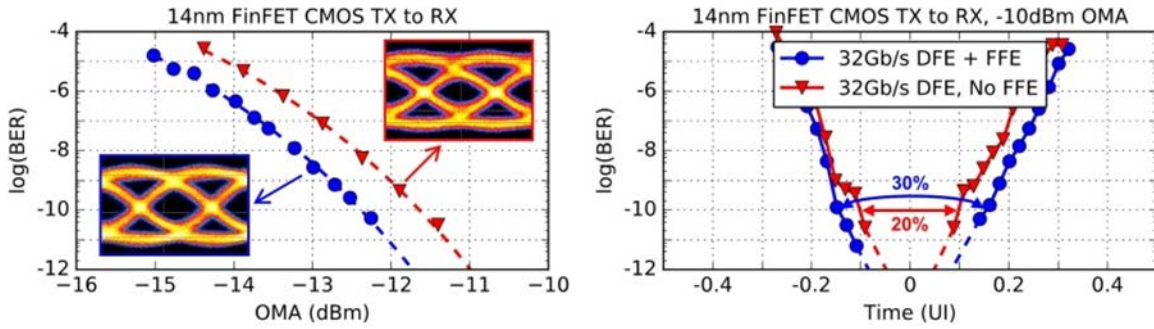


그림 8

BER 대 OMA 대 샘플링 시간 및 TX 아이(eye) 그림이다. BER = $1e-12$ 에서의 32Gb/s 민감도는 FFE 및 DFE 가 있을 때 -11.7dBm 이다.

14nm CMOS FinFET 에서의 저지연성(low latency) 디지털 CDR 을 가진 60 Gb/s 1.9 pJ/bit NRZ 광수신기

또한 IBM 과 EPFL 은 이전 논문에 비해 속도가 2 배인 광회로 수신기를 발표한다. 64Gb/s 데이터 수신 오퍼레이션 자체는 ISSCC 2017 에서 발표했다. 여기서는 발표된 수신기 아키텍처에 CDR(Clock & Data Recovery) 기능을 더했고 광회로 수신기로써의 완성도를 높였다. 제안된 CDR 은 선형성을 높이고 80MHz 주파수 코너에서 0.16UIpp 지터 공차를 얻기 위해 128-단계 octagonal 단계 로테이터를 활용한다. 14nm FinFET CMOS 로 제작된 칩이며 63Gb/s, 최고 수준의 효율 1.9pJ/bit 및 실제 -5dBm OMA 민감도를 동시에 만족하는 7m 광 데이터 수신을 달성한다.

(논문 C25-2, "14nm CMOS FinFET 에서의 저지연성(low latency) 디지털 CDR 을 가진 60 Gb/s 1.9 pJ/bit NRZ 광수신기," 외, IBM, Ecole polytechnique federale de Lausanne (EPFL))

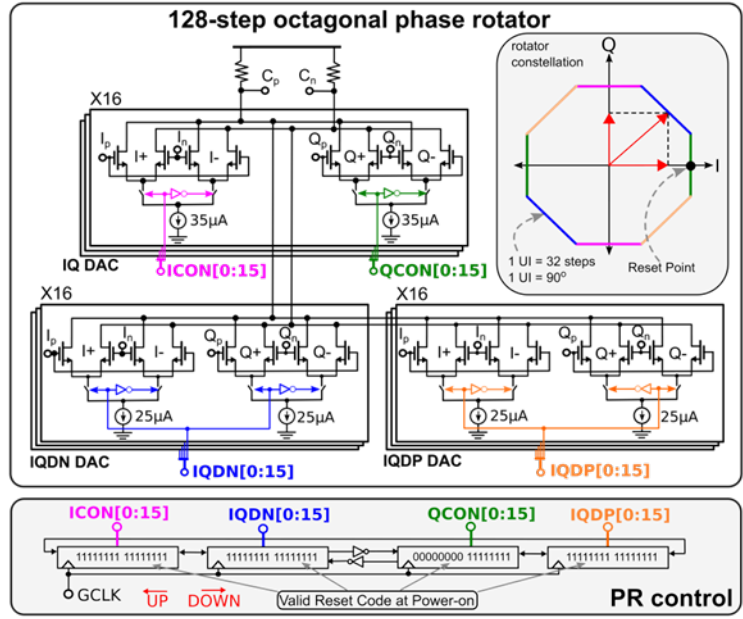


그림 3

위 그림은 128-단계 octagonal 제어의 단계 로테이터 회로다.