

VLSI 기술 & 회로 2021 심포지아 기술 하이라이트

VLSI 기술 & 회로 2021 심포지아는 마이크로/나노 집적 전자 기술의 발전, 진화 및 그 속도를 기록하는 대표적인 국제 회의로 2021 년 6 월 13 일~19 일에 개최될 예정이다. 이번 심포지아는 전체 가상 형식을 활용하여 라이브 논문 세션과 사전 녹화 자료로 구성된 두 개의 심포지아로 개최된다.

"라이프스타일 변혁을 위한 VLSI 시스템"을 주제로 진행되는 심포지아 프로그램에는 인간의 소통 방식을 변화시키고 글로벌 사회를 새로운 스마트, 커넥티드 장치와 시스템의 시대로 전환시키는 첨단 기술 개발, 혁신적인 회로 설계 및 응용 분야가 포함된다.

이러한 주제를 다룬 주요 논문들을 간단히 소개한다.

기술 하이라이트

고급 CMOS 기술

논문 T0030

IMEC 은 GAA(Gate-all-around) 나노시트 FET 에 함께 통합된 포크시트 N/PFET 에 대해 발표한다. 포크시트 단채널 제어는 게이트 길이 22nm 까지 나노시트와 동등하다(포화 문턱 전압 이하 기울기=66-68mV/dec). 포크시트 I_{ON} 및 I_{OFF} 특성은 향상된 Post-channel-release 습식 세정 최적화를 통해 게이트 스택 인터페이스 트랩 밀도를 감소시킨다. 또한, 이중 일함수 금속 게이트는 CMOS 스케일링을 위한 포크시트의 주요 이점으로, 17nm N-P 공간에 집적 된다.

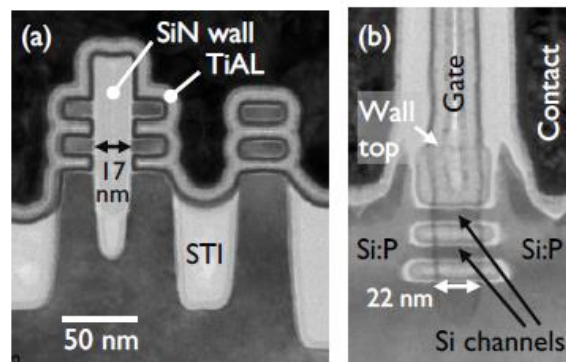


그림 5. 공정 완료 TEM 이미지(a) 포크시트와 나노시트가 수평 방향으로 통합된 구조 (b) 포크시트 채널을 따라 수직으로 통합된 구조(NMOS).

"첨단 CMOS 스케일링을 위한 포크시트 FET: 포크시트-나노시트 통합 및 17nm N-P 공간에 통합된 이중 일함수 금속 게이트", H. Mertens 외, IMEC

논문 T0035

인텔은 MOSFET 트랜지스터의 궁극의 스케일링을 가능하게 하고 수십 년간 무어의 법칙 스케일링을 지원하게 될 2D 재료 채널을 발표한다. 1nm 미만 두께의 단분자층 TMD(Transition Metal Dichalcogenide) 채널, 제조 가능한 CVD, MBE 또는 시드 성장을 사용하여 n/p-MOSFET 의 상태를 보여준다. 새로운 접촉 금속을 사용하는 전사된 MBE MoS₂ 위의 NMOS 장치는 낮은 변동, 지금까지 보고된 접촉 저항(Rc) 중 가장 낮은 0.4 kΩ·μm, 낮은 히스테리시스, 77 mV/dec 의 양호한 문턱 전압 이하 기울기(SS)를 보여준다. CVD WSe₂ 를 사용하는 PMOS 장치는 성장된 필름 위의 PMOS 에서 지금까지 보고된 SS 중 가장 우수한 89 mV/dec 를 구현하지만 ON 전류는 NMOS 에 뒤진다. 무전사(Transfer-free)의 영역 선택 WS₂ 트랜지스터는 시드 성장을 사용하는 WS₂ 중 지금까지 보고된 ON 전류 중 가장 높은 10 μA/μm 를 달성하였다.

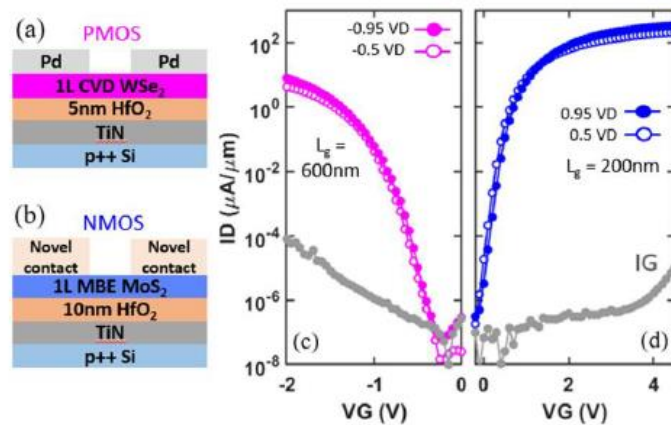
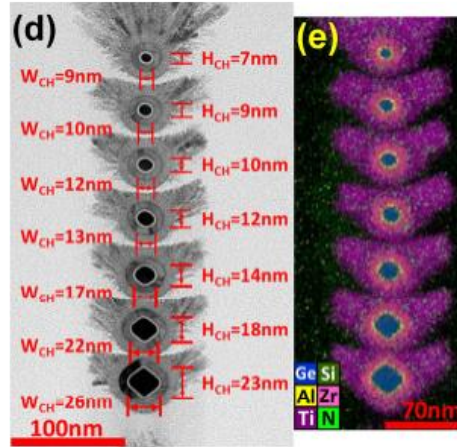


그림 6. PMOS (a) 및 NMOS (b) 장치의 절단면. (c) NMOS 및 PMOS 트랜지스터의 Id-Vg 특성.

"CMOS 스케일링을 위해 성장에서 반데르발스 계면 엔지니어링으로 발전하는 단분자층 2D NMOS 및 PMOS 트랜지스터 집적", C. J. Dorow 외, 인텔

논문 T0039

대만 국립대학교 연구팀은 H₂O₂ 습식 식각으로 구현된 8 단 적층 Ge_{0.75}Si_{0.25} 나노시트와 7 단 적층 Ge_{0.95}Si_{0.05} 나노와이어를 발표한다. 8 단 적층 Ge_{0.75}Si_{0.25} 의 채널간 높은 균일성이 입증 되었으며, L4 밸리의 작은 수송 유효 질량(mt)과 큰 DOS(Density of States) 유효 질량(mDOS), 그리고 낮은 R_{S/D}/R_{total} 를 통해 7 단 적층 Ge_{0.95}Si_{0.05} 가 구현되었다. 보고된 Ge/GeSi 3D nFET 에서 V_{OV}=V_{DS}=0.5V 에서 스택당 기록 I_{ON}=110μA(채널 면적당 4100μA/μm) 및 V_{DS}=0.5V 에서 높은 G_{m,max}=340μS(13000μS/μm)가 달성되었다.



"습식 식각으로 $V_{ov}=V_{DS}=0.5V$ 에서 기록 $I_{ON} = 110 \mu A$ ($4100 \mu A/\mu m$) 및 $V_{DS}=0.5V$ 에서 높은 $G_{m,max} = 340 \mu S$ ($13000 \mu S/\mu m$)를 달성하는 첫 번째 고적층 $Ge_{0.95}Si_{0.05}$ nGAAFET", Yi-Chun Liu 외, 대만 국립대학교

논문 T0107

IBM 리서치는 28 nm 피치 미만의 BEOL 인터커넥트를 위한 이중 다마신(DD) 통합 기법의 확장성을 시연한다. 이 그룹은 두 가지 새로운 공정 흐름을 개발하였다: (1) 신뢰성을 유지하면서 저항을 통해 감소되는 선택적으로 증착된 TaN 장벽을 사용한 확장된 Cu 기반 다마신 인터커넥트, (2) 가늘고 넓은 라인의 향상된 성능을 위해 선택된 혁신적인 이중 금속화 기법. 상기 혁신적인 공정은 비아, 신호 및 전력 라인 저항을 크게 향상시킬 수 있다. 높은 중형비 파워레일을 사용한 이중 금속화는 고성능 컴퓨팅(HPC) 응용 가능한 최고 성능에 기여 한다.

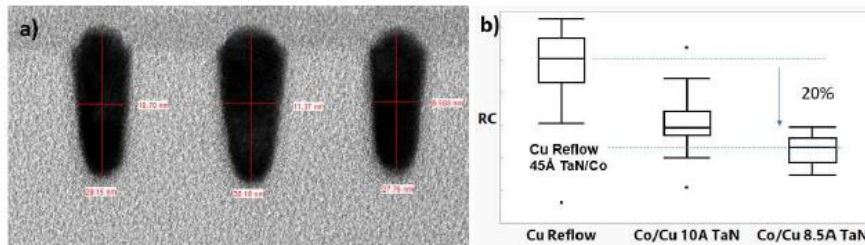


그림 6. (a) 10nm 너비 Co 인터커넥트의 TEM 이미지 (b) Co(10 \AA / 8.5 \AA TaN)와 Cu(4.5 nm TaN/Co)의 RC 비교.

"Cu 리플로우 / 선택적 TaN 및 Co/Cu 복합을 사용한 이중 다마신 BEOL 확장성", P. Bhosale 외, IBM 리서치

양자 컴퓨팅

논문 150

AIST 는 매립형 배선 기술에서 영감을 받은, 고속/저가변성 실리콘 스핀 큐비트 작동을 구현하는 매립형 나노마그넷(BNM)을 처음으로 제안한다. BNM 에서 발생된 큰 경사 자기장이 스핀 큐비트에 매우 근접하게 배치되고 자기 정렬 제작 공정의 충실한 저가변성을 통해 고속 양자 게이트 작동이 구현된다. TCAD 기반 시뮬레이션을 사용하여 BNM 이 이전 작업보다 10 배 빠른 라비 진동(더 빠른 스핀 플립)과 특정 공정 가변성에서 99% 이상 충실도를 달성하는 것을 시연한다. 또한, 제안된 BNM 배열은 2D 격자 큐비트 배열을 사용하는 오류 수정이 가능한 대규모 양자 컴퓨터에 적용 가능하다. 이 기술은 실용적인 대규모 실리콘 양자 컴퓨터의 전환 기틀을 마련해 준다.

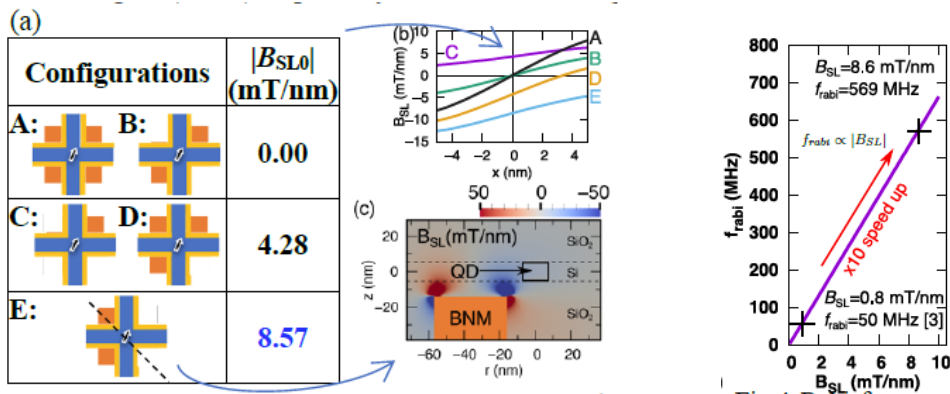


그림 2 (a) 가능한 나노마그넷의 구성 및 양자점 중심에서의 경사 자기장(B_{SL0}). (b) 양자점의 x 방향에서 B_{SL} 분포. (c) 구성 E 에서 B_{SL} 의 2D 분포.

그림 4 B_{SL} 에 따른 라비 주파수. 큰 B_{SL} 로 빠른 라비 진동 구현.

"고속/저가변성 실리콘 스핀 큐비트를 구현하는 매립형 나노마그넷: 오류 수정 가능한 대규모 양자 컴퓨터 구현 가능", S. Iizuka 외, AIST

인공 지능 / 머신러닝용 장치

논문 T0077

IBM 리서치는 각기 512x512 고유 가중치로 병렬 MAC(Multiply-ACcumulate) 추론이 가능한 복수의 크로스바 타일로 구성된 14nm 상변화 메모리(PCM) 기반 테스트칩 ARES 를 발표한다. 대량의 병렬 2D 메쉬가 딥 뉴럴 네트워크(DNN) 여자 전류를 칩 전체에서 타일과 디지털 데이터가 칩에 들어오고 나가는 통합 랜딩 패드(LP) 사이의 Duration-format 으로 전송한다. 정확한 가중치 프로그래밍(3% 이상 가중치 오류)을 위해 최소 오버샷으로 각 아날로그 가중치에 4 PCM 장치를 효율적으로 프로그래밍하는 행별 프로그래밍 기법이 사용되었다. 이 팀은 소프트웨어에 가까운 정확성으로 2 개의 DNN 을 구현하여 완전한 온칩 2 레이어 네트워크를 통한 타일간 전송을 시연하고, 다음 온칩 MAC 으로 루프백하기 전에

오프칩 활성 기능을 사용하여 순환 LSTM(Long-Short-Term-Memory) 네트워크를 활용하여 오류 전파에 대한 복원력을 테스트 하였다.

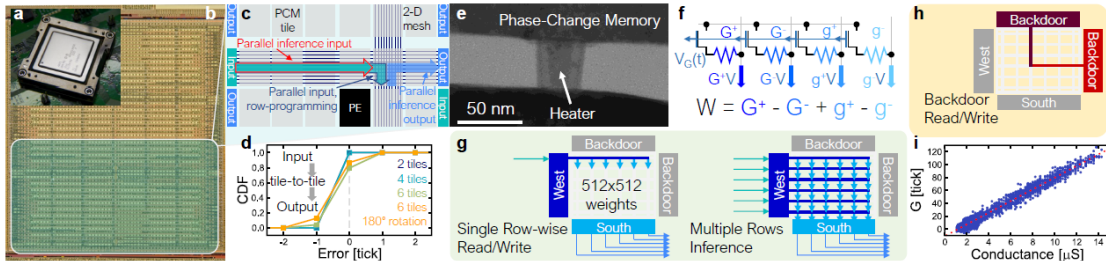


그림 1 (a) ARES 칩, (b) 현미경 사진 및 (c) 구성 요소: 입력 LP, 출력 LP, PCM 타일 및 2D 병렬 신호 매쉬를 사용한 타일 전체에 Duration 전송. (d) 다양한 이동 거리에 대한 Duration 전송에서 비트 오류의 CDF. (e) 14-nm 백엔드에 통합된 PCM 장치의 TEM. (f) 각 MACC 가중치는 4 PCM 장치를 사용해 인코딩된다. (g) 병렬 읽기/쓰기(왼쪽)는 전체 추론(오른쪽) 중의 동일한 회로를 사용하여 한 번에 한 행씩 프로그래밍 후 추론하여 달성된다. (h) 단일 장치("backdoor") 읽기/쓰기 회로는 μS 로 장치 컨덕턴스를 측정할 수 있다. (i) (g)와 (h)를 사용한 측정 사이의 상관 관계.

"PCM 기반 가중치의 정확한 행렬 프로그래밍과 Duration-format 병렬 벡터 전송을 통해 구현된 14nm의 완전한 온칩 MAC", P. Narayanan 외, IBM

3D 이중 집적, 비실리콘 기판/재료 및 장치

논문 T0011

피듀 대학교는 BEOL(back-end-of-line) 호환 원자층 증착(ALD) 공정을 통해 핀 구조와 집적 회로에 코팅된 In_2O_3 3D 트랜지스터를 처음으로 구현했다. 채널 두께 엔지니어링 및 증착 후 어닐링을 통해 $113 \text{ cm}^2/\text{V}\cdot\text{s}$ 의 높은 이동성과 $2.5 \text{ mA}/\mu\text{m}$ 의 높은 최대 드레인 전류를 지원하는 고성능 planar In_2O_3 트랜지스터가 구현되었다. 고성능 ALD In_2O_3 기반의 제로 VGS 부하 인버터는 최대 전압 게인 $38 \text{ V}/\text{V}$, 최소 공급 전압(V_{DD}) 0.5 V 를 달성 하였으며, 또한 ALD In_2O_3 3D 핀 트랜지스터는 ALD의 등각 증착을 통해 구현된다. 이러한 결과는 ALD 산화물 반도체와 디바이스에 고유한 장점을 가져 3D 집적 회로를 위한 BEOL 호환 단일 3D 집적에 유망한 요소임을 시사한다.

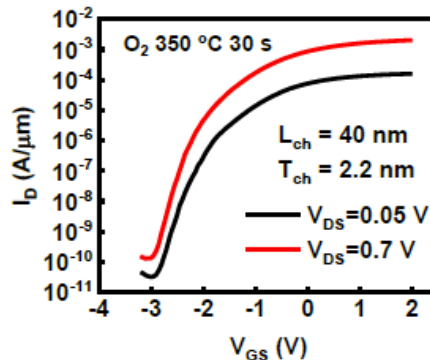


그림 10. $350 \text{ }^\circ\text{C}$ 에서 O_2 어닐링으로 $L_{\text{ch}} 40 \text{ nm}$, $T_{\text{ch}} 2.2 \text{ nm}$ 를 지원하는 In_2O_3 트랜지스터의 I_D - V_{GS} 특성.

"원자층 증착 BEOL 호환 In_2O_3 3D 핀 트랜지스터 및 집적 회로의 첫 구현: In_2O_3 인버터에서 $113 \text{ cm}^2/\text{V}\cdot\text{s}$ 의 높은 이동성, $2.5 \text{ mA}/\mu\text{m}$ 의 최대 드레인 전류 및 $38 \text{ V}/\text{V}$ 의 최대 전압 게인 구현", Mengwei Si 외, 퍼듀 대학교

논문 T0142

소니는 3D 적층 CMOS 이미지 센서(CIS) 공정과 호환되는, 세계 최초로 구현한 버퍼 메모리용 40nm 임베디드 STT-MRAM(Spin-Torque-Transfer Magnetic Random Access Memory)를 발표한다. 3D 적층 웨이퍼 공정으로 인한 자기 특성 저하 억제를 위한 CoFeB 기반 수직형 자기터널접합(p-MTJ)이 최적화되었다. 상기 공정을 통해 -30°C 의 표준 작동 전압 조건에서 40 ns 미만의 고속 쓰기 작동, 105°C 에서 최대 $1\text{E}+10$ 사이클의 내구성, 버퍼 메모리에 요구되는 85°C 에서 1 s 데이터 유지 성능을 달성하였다. 그 밖에도 임베디드 MRAM(eMRAM)의 응용 범위를 넓히기 위해 임베디드 비휘발성 메모리(eNVM)와 버퍼 메모리 타입 임베디드 MRAM 을 동일한 칩에 통합하는 새로운 융합 기술을 제안하였다. 이 융합 기술을 사용하여 충분한 쓰기 마진과 함께 1 s ~ 10 년 미만의 데이터 유지를 달성하였다.

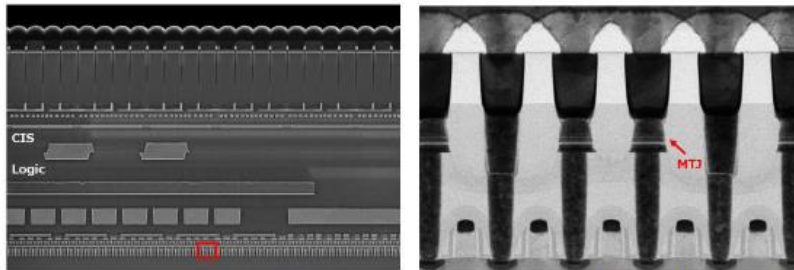


그림 1: 3D 적층 CIS 에 집적된 eMRAM 의 절단면 이미지 (a) 3D 적층 CIS 의 SEM 이미지 (b) eMRAM 어레이의 TEM 이미지.

"버퍼 메모리를 위한 3D 적층 CIS 호환 40nm 임베디드 STT-MRAM", M. Oka 외, 소니 세미컨덕터

논문 T0046

IMEC 은 웨이퍼 뒷면 연결 방법을 구현하여 스케일링된 Si-채널 finFET($L_{\text{gate}} > 20\text{nm}$, 45nm 핀 피치)에 대해 발표한다: 극한의 웨이퍼 박리(STI 산화물 하의 여러 Si 두께: $\sim 370\text{nm}$ 에서 $\sim 20\text{nm}$ 까지) 및 다양한 높이(웨이퍼 박리 값과 연계)의 W 층전 n-TSV(nano-through-Si-vias), 저온(LT) 사용 후, 웨이퍼-투-웨이퍼(W2W) 유전체 결합이다. 이 기법은 신호와 전력 네트워크를 분리하고 W2W 웨이퍼의 뒷면으로 이동함으로써 IRdrop 감소를 예측할 수 있다. 3D 공정이 장치 특성에 미치는 영향성 평가 결과는 다음과 같다: 1) NMOS 이동성과 구동 전류 향상(최대 15%) 2) PMOS 의 경우, 다양한 레이아웃에 대한 NBD(Nano-Beam-Diffraction)을 통한 채널 변형 평가에서 작은 I_{ON} 손실(~ 3 에서 10%), 큰 R_{ext} 3) $\Delta V_{\text{T}} \sim 130\text{mV}$, 후속 어닐링으로 복구 가능하여 낮은 가변성과 매칭 제어 유지가 가능하였다. 그 밖에도 BTI 저하가 관찰되지 않아 최종 어닐링 적용은 정전기 및 안정성을 향상시킬 수 있음을 추가적으로 보여 주었다.

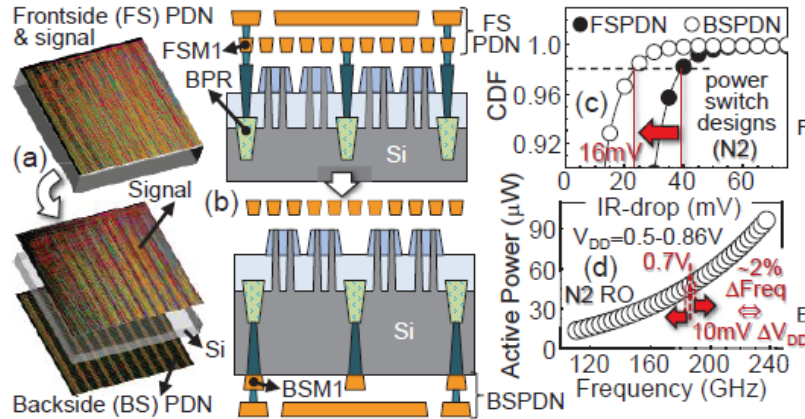


그림 1 - a,b) n-TSVs 및 BPR 기술을 사용하여 PDN(power delivery networks)을 박리된 웨이퍼의 뒷면으로 이동하는 개념도. 이 구성에 대한 작은 R-drop 값이 예측되어(C) 시스템 성능 향상을 가져온다(d).

"n-TSV 를 통한 뒷면 연결성으로 구현된 로직 및 스케일링 부스터로서의 잠재력", A. Veloso 외, IMEC

메모리 기술

논문 T0071

TSRI는 CMOS 호환 400°C-내성 42 nm 수직 스펀케도 토크 자기터널접합(p-SOT-MTJ) 장치를 발표한다. 이 장치는 계면 강화 합성 반강자성체(SAF) 및 향상된 이온빔 식각(IBE)을 통해 처음으로 130%의 터널 자기저항(TMR)을 구현하였으며, 지금까지 최고 기록인 440°C의 SAF의 열적 강인성이 달성되었다. SAF 필드(HSAF)와 Co/Pt 다층(ML) 및 기준층 간 자기 결합은 자기 결합 fcc-텍스처 다층(MCFTM) 버퍼에 의해 향상되며, 열응력 중 Pt-Fe 상호 확산은 자기장 내성을 위한 W(3Å) 기반 텍스처 디커플링 확산 다층 장벽(TDDMB)을 통해 효과적으로 감소된다. TaN/W 및 Ta/W의 복합 SOT 채널은 β -W의 두께 제한($< \sim 5$ nm)을 깨고 MTJ 식각 창을 확대한다. TaN/W 채널은 ~ -0.27 의 큰 유효 스핀 홀 각도를 구현하며, 스핀 전달 토크(STT) 지원으로 확정적 자기 없는 SOT 쓰기가 달성된다.

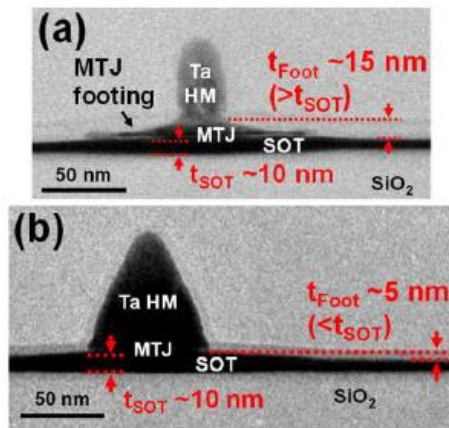


그림 10 IBE (a) 공정 I 및 (b) 공정 II 후 p-SOT-MTJ의 TEM. 20° Ar 식각(면의 축 사이의 각도)을 포함하는 공정 II는 t_{Foot} 을 t_{SOT} 보다 작게 줄일 수 있다.

"STT 지원 필드 프리 스위칭 및 복합 채널을 통해 400°C-내성 42 nm p-SOT-MTJ 셀을 실현하는 계면 강화 SAF의 첫 구현", Ya-Jui Tsou 외, TSRI

논문 T0052

TSMC는 다양한 전기장 스트레스에서 SILC(stress-induced-leakage-current)를 측정하여 HfZrO 강유전체의 분극 피로를 연구하였다. 높은 전기장에서 분극 활성화와 SILC 사이의 강력한 상관 관계가 증가하는 것이 관찰되었으며, 이는 산소 공공의 결합 재분배와 여과 경로 형성, 특히 고주파 사이클링에 기인한다. 반면, 낮은 전기장에서 분극 피로는 SILC 증가 없이 발생하는 것으로 나타났다. TEM/PED(세차전자회절)를 통한 P-E 루프 측정 및 재료 분석 결과, 이는 낮은 전압에서 발생하는 전하 포집이 주요 원인이라는 것이 밝혀졌다. 낮은 전기장 스트레스로 야기된 피로는 높은 자기장에서 분산된 주기적, 단기 사이클을 통해 전하 포집과 산소 공공 결합 재분배를 관리하여 효과적으로 회복될 있으며, 따라서 상온에서 SILC 저하 없이 >1E12 사이클을 견뎌낼 수 있다는 것을 입증하였다.

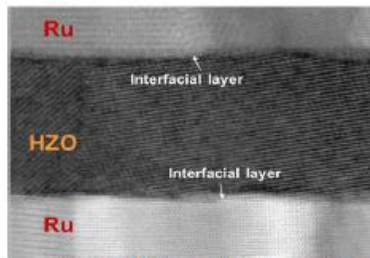


그림 6 Ru/HZO/Ru MFM 커패시터의 TEM 분석은 상단과 하단 계면에서 10nm HZO와 금속 전극 사이의 매우 얇은 계면층(<1nm)이 형성된 것을 보여준다.

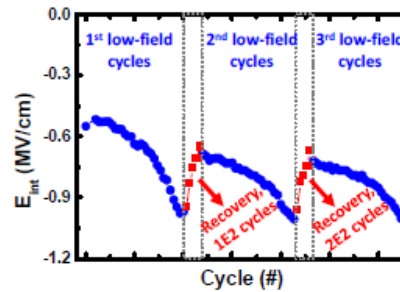


그림 17 사이클링 함수로써 내부 전기장 E_{int} 는 각 낮은 전기장 사이클링 반복 후 높은 전기장 회복 펄스의 트래핑 해제 및 프로세스로 인한 회복 가능성을 보여준다.

"강유전체 HfZrO에서 피로 및 회복 특성", P.J.Liao 외, TSMC

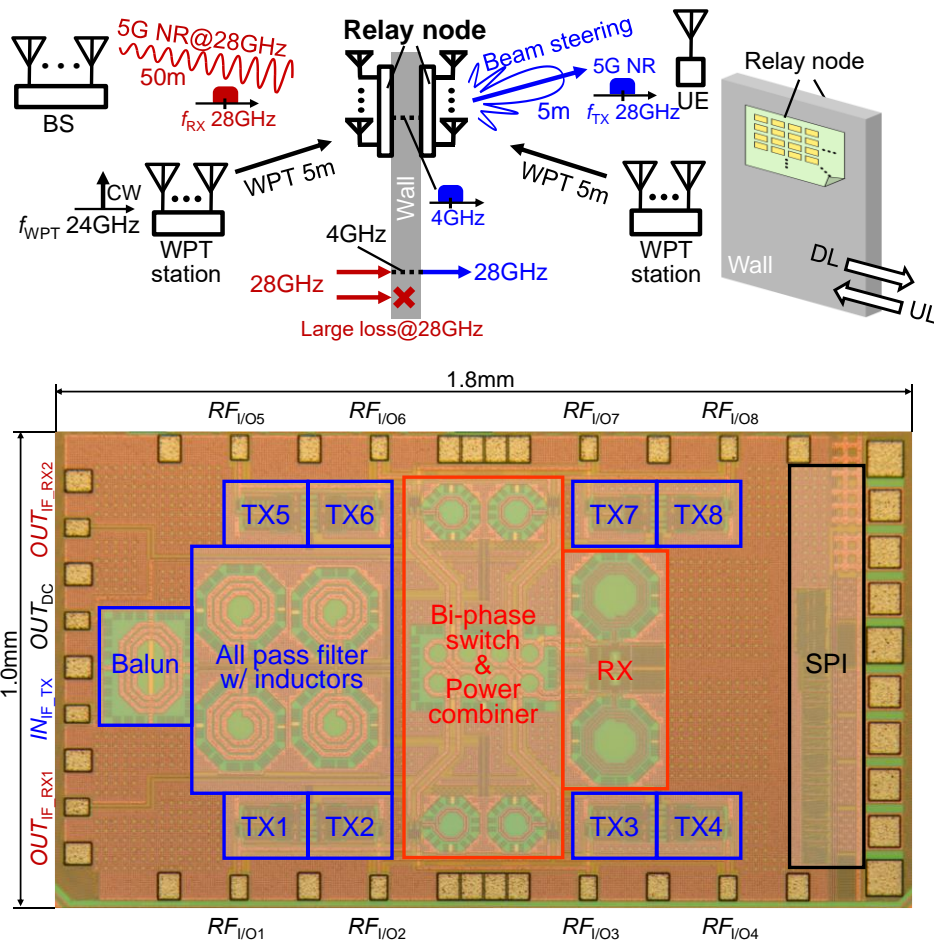
회로 하이라이트

5G 트랜시버

논문 C11-1 : 5G 용 28GHz 배터리리스(Battery-Less) 릴레이 트랜시버

5G 에 사용된 밀리미터파는 방향성이 강하고 통신 거리가 짧아 5G 네트워크의 서비스 영역을 제한한다. 도쿄공업대학은 5G 및 그 이상 시스템의 공간 커버리지와 용량을 극대화하기 위한 대규모 릴레이 네트워크를 제안한다. 또한 무선으로 전력이 공급되는 28-GHz 위상 어레이 릴레이 트랜시버가 유선 전력 공급 없이 5G 표준에 기반한 400-MHz 64QAM 변조 신호를 사용하여 배터리를 사용하지 않아도 되는 무선 통신을 구현한다.

"24-GHz 무선 전력 및 LO 전송을 지원하는 백터 합 백스캐터를 사용한 5G 네트워크용 28-GHz 위상 어레이 릴레이 트랜시버", Michihiro Ide 외, 도쿄공업대학



[그림 1& 5] 24-GHz 무선 전력 전송으로 작동하는 28GHz 위상 어레이 릴레이 트랜시버

광자 인터커넥트 및 컴퓨팅

논문 JFS3-4 : 실리콘 광자 마이크로 링 변조기 기반 4 x 112 Gb/s WDM 송신기

인텔은 400G 이더넷 모듈 및 공동 패키징 광학(co-packaged optics)용 하이브리드 통합형 $4\lambda \times 112 \text{ Gb/s}/\lambda$ 파장 분할 다중화(WDM) 송신기를 제안한다. 효율적인 WDM 을 위해 광자 IC(PIC)에는 히터가 통합된 마이크로 링 변조기(MRM)가 포함되어 있다. 28nm CMOS 전자 IC(EIC)에는 프로세스 및 온도 변화에 대한 안정적인 MRM 성능을 구현하기 위해 비선형 FFE 및 제어 회로를 갖춘 PAM4 MRM 드라이버가 사용되었다. 해당 연구팀은 지금까지 보고된 O-band 링 기반 WDM 송신기의 λ 당 데이터 속도 중 가장 빠른 속도를 구현한다고 주장한다.

"28nm CMOS 에서 링 광전류 기반 열 제어를 지원하는 실리콘 광자 마이크로 링 변조기 기반 4 x 112 Gb/s O-band WDM", Jahnvi Sharma 외, 인텔

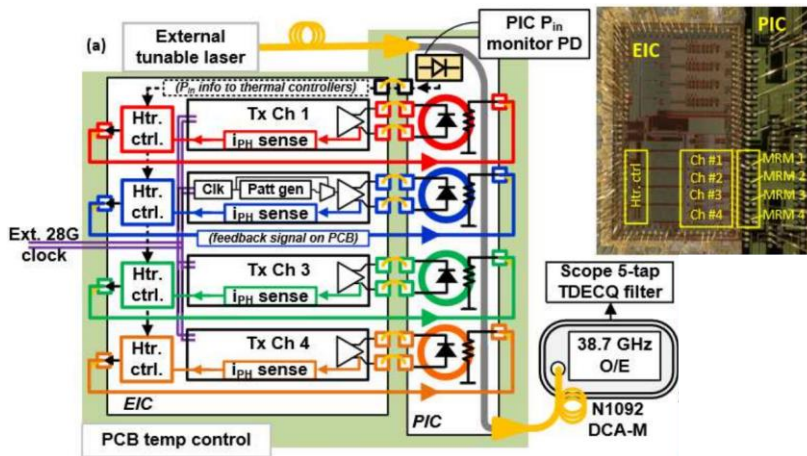


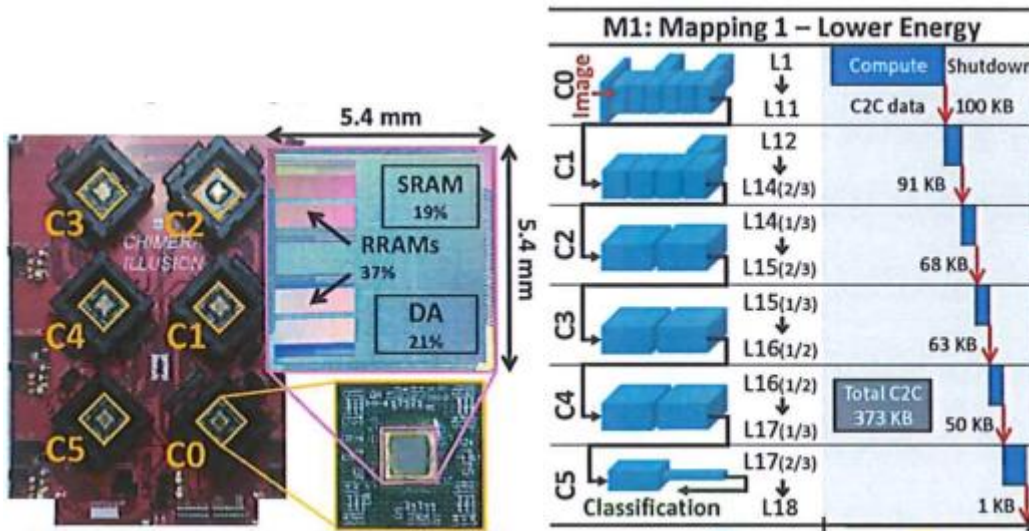
그림 1(a) O 밴드 WDM Si-Ph TX 의 아키텍처 및 칩 사진.

인공 지능, 머신러닝

논문 CFS1-2: 멀티 다이 확장 가능한 프로세서에서 엣지용 RRAM 을 위한 엣지 딥 뉴럴 네트워크 가속기

스탠포드 대학교와 TSMC 는 엣지 AI 가속기 CHIMERA 를 제안한다. 이 가속기는 추론과 증분 학습을 목표로 하며, 비휘발성 저항 메모리(RRAM)를 통합한 특성을 칩투칩 링크를 통한 멀티 다이 확장식 접근 방식에 활용한다. 6 개의 칩(C0 ~ C5)에 가중치를 분산한 후 하나의 칩에서 다음 칩으로 계산을 전파한다. 각 칩은 해당 계산을 마치면 전원이 꺼진다. 가중치 메모리의 비휘발성 특성으로 33 μ s 의 빠른 웨이크업을 제공하여 사용하지 않을 때 전체 전원을 차단할 수 있다. 또한, 가중치 업데이트를 최소화하는 학습 알고리즘을 제안하여 RRAM 마모와 높은 쓰기 에너지 소모 및 레이턴시를 해결한다. 칩은 40nm 공정으로 제작되며 칩당 0.92TOPS 의 성능과 에너지 효율 2.2TOPS/W 을 달성한다.

"CHIMERA: 효율적인 학습 및 추론을 위해 2 MByte 온칩 파운드리 저항 RAM 을 탑재한 0.92 TOPS, 2.2 TOPS/W 엣지 AI 가속기", Massimo Giordano 외, 스탠포드 대학교 & TSMC



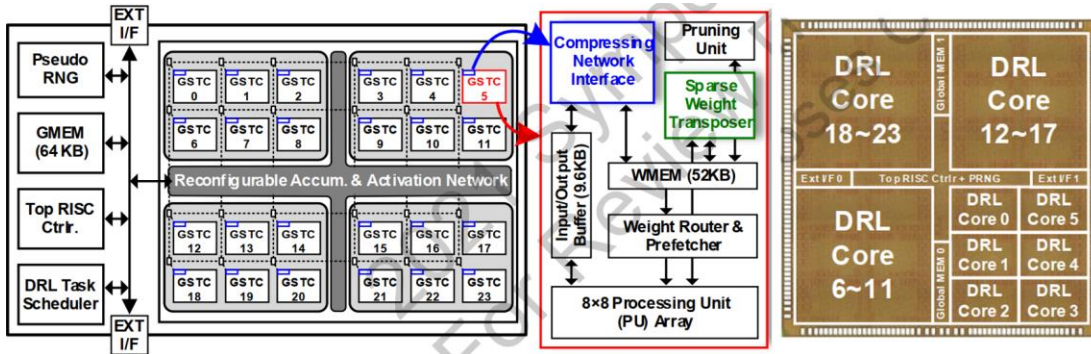
[그림 14 및 5 왼쪽] 시스템 PCB 의 개요, 다이 사진과 DNN 추론 응용의 전형적인 멀티 칩 매핑

논문 CFS1-3: 학습 가속을 위한 고성능의 에너지 효율적인 심층 강화 학습(DRL) 프로세서

한국과학기술원(KAIST)은 학습 작업 가속을 위한 고성능의 에너지 효율적인 심층 강화 학습(DRL) 프로세서 OmniDRL 를 제안한다. OmniDRL 은 pruning 및 블록 순환 기반 가중치 그루핑을 활용하여 학습 속도를 2 배 향상하는 멀티(24) 그룹 스파스 학습 코어(GSTC)를 사용한다. 그 밖에도 DRL 프로세서는 압축 네트워크 인터페이스(CNI)에 지수 평균 델타 인코딩(EMDE)을 사용하여 지수 압축 비율을 개선하고(1.6 배) 메모리 액세스 전력을 절감한다(23.3%). 외부 메모리 액세스를 줄이기 위해 스파스 가중치 트랜스포저(SWT)를 통합하여 압축된 가중치의 온칩

이동을 지원한다. 이 프로세서는 28nm CMOS 로 제조되어 4.18TFLOPS 의 피크 성능과 29.3TFLOPS/W 의 피크 에너지 효율을 달성한다.

"OmniDRL: 듀얼 모드 가중치 압축 및 온칩 스파스 가중치 트랜스포저를 지원하는 29.3 TFLOPS/W 심층 강화 학습 프로세서", Juhyoung Lee 외, 한국과학기술원(KAIST)



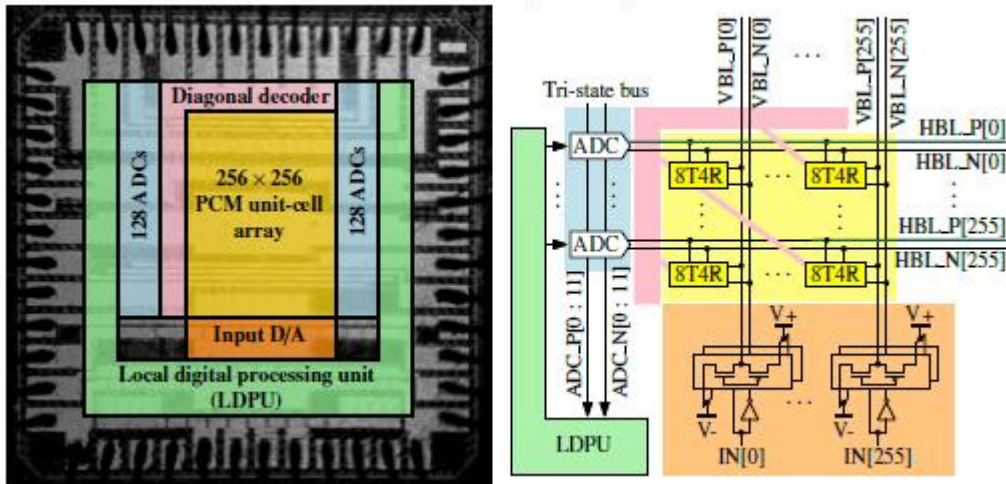
[그림 2 및 6] DRL 프로세서 아키텍처 개요 및 24 그룹 스파스 학습 코어(GSTC)와 압축 네트워크 인터페이스(CNI) 및 스파스 가중치 트랜스포저(SWT) 모듈의 칩 현미경 사진

인-메모리 컴퓨팅

논문 JFS2-5: 선형화된 CCO 기반 ADC 와 로컬 디지털 프로세싱을 사용하는 CMOS 및 PCM 기반 인-메모리 컴퓨팅 코어

IBM 은 14nm CMOS 로 설계되고 제작된 백엔드 통합 멀티레벨 상 변화 메모리(PCM) 기반의 256×256 인-메모리 컴퓨팅 코어를 제안한다. 이 코어는 컴팩트한 $4\mu\text{m}$ 피치에 256 개의 선형화된 전류 제어 오실레이터(CCO) 기반 ADC 와 아핀 스케일링과 ReLU 연산을 수행하는 로컬 디지털 프로세싱 유닛으로 구성된다. CCO 의 새로운 주파수 선형화 기법이 사용되어 1 GHz 이상 작동 시 정확한 온칩 매트릭스 벡터 멀티플라이(MVM)가 이루어진다. 딥러닝(DL) 추론을 위해 2 개의 코어를 사용했을 때의 MNIST 및 CIFAR-10 데이터세트에 대한 측정된 분류 정확도를 제공한다. 측정된 에너지 효율은 성능 밀도 $1.59 \text{ TOPS}/\text{mm}^2$ 에서 $10.5 \text{ TOPS}/\text{W}$ 이다.

"HERMES 코어 - 300ps/LSB 선형화된 CCO 기반 ADC 와 로컬 디지털 프로세싱을 사용하는 14nm CMOS 및 PCM 기반 인-메모리 컴퓨팅 코어", R. Khaddam-Aljameh 외, IBM 리서치 유럽 & IBM 리서치 알바니 & IBM 시스템즈 앤 테크놀로지 & IBM T. J. 왓슨 리서치 센터



[그림 1.] 다이 사진 및 시스템 개요

메모리 기술

논문 C16-1: 5nm High-K 금속 게이트 FinFET CMOS 로 구현된 16Kb 일회용 프로그래밍 방식 안티퓨즈 메모리

TSMC 는 최초로 5nm high-K, 금속 게이트 FinFET CMOS 로 제작된 16Kb 일회용 프로그래밍 방식(OTP) 안티퓨즈 메모리를 제안한다. 1ppb 미만의 고유한 비트 오류율(BER)을 달성하기 위해 부트스트랩 고전압 방식(BHVS), 읽기 엔드포인트 검출(REPD) 및 의사 차동 센싱(PDS)을 구현하여 5nm SoC 에서 인필드 프로그래밍과 125°C 에서 10 년 데이터 유지를 지원한다.

"5nm High-K 금속 게이트 FinFET CMOS 로 구현된, 부트스트랩 고전압 방식, 읽기 엔드포인트 검출 및 의사 차동 센싱을 지원하는 16Kb 일회용 프로그래밍 방식 안티퓨즈 메모리", Shaun Chou 외, TSMC



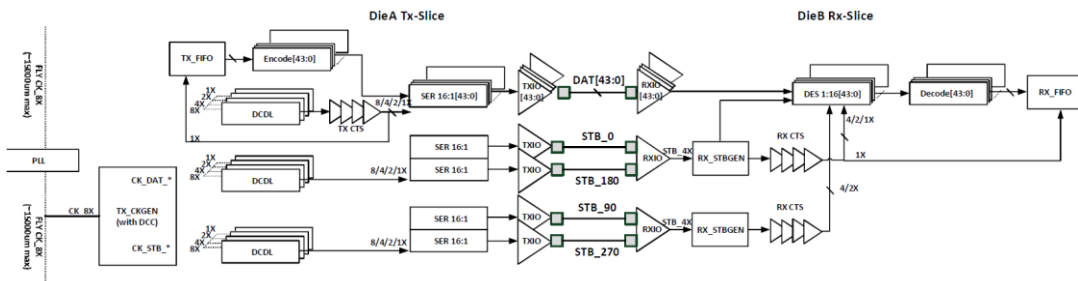
[그림 14] 다이 사진.

고급 이중/3D 집적

논문 JFS1-3: 7nm CMOS 기술의 고급 이중 집적을 위한 고밀도 저전력 다이 간 통신:

해당 연구는 초단거리(USR) 다이 간 통신을 위한 고밀도의 낮은 비트 오류율과 저전력 Mlink(MediaTek link) PHY 를 제시한다. 제안된 Mlink 는 TSMC 7nm FinFET 1P15M CMOS 기술로 제작되었다. 인터커넥션은 TSMC 칩-온-웨이퍼-온-서브스트레이트(CoWoS) 및 TSMC 통합 팬아웃(InFO) 패키징 기술을 통해 구현되었다. Mlink PHY 는 트랜시버에 터미네이션이 없는 싱글 엔드, 쿼터 레이트 스트로브 및 언밸런스 기법을 비롯해, 최소 고유 자동 정렬 및 새로운 노이즈 내성 코딩 방법론을 포함하는 에너지 효율적인 고성능 기법을 활용한다. BER 1E-25 를 타겟으로 하는 1-mm 초단거리 플랫폼에서 20Gb/s/wire 및 0.46pJ/bit 를 달성한다. 대역폭 밀도는 shoreline 5.31Tb/s/mm, area 2.25Tb/s/mm² 로 표준화된다.

"최소 고유 자동 정렬과 노이즈 내성 엔코딩을 사용한 7nm 0.46pJ/bit 20Gbps, BER 1E-25 다이 간 링크", Ying-Yu Hsu 외, 미디어텍



[그림 1] 단방향 Tx/Rx-Slice 한 쌍의 Mlink PHY 아키텍처.

전력 변환 회로 & 클럭 회로

논문 C3-1: 서버 응용을 위한 5 V ~ 1 V DC-DC 컨버터용 패키지 통합 GaN 전력 모듈

인텔은 4mm x 4mm 패키지에 CMOS 드라이버 IC 와 통합된 저전압 GaN 전력 트랜지스터(Si 보다 5-10 배 나은 FoM)를 사용한 고주파수, 고밀도(9 A/mm^2) 벽 컨버터를 제안한다. 이 컨버터는 3 MHz 스위칭 주파수에서 5 V ~ 1 V 전압 변환에 94.2% 피크 효율을 달성한다.

"저전압 GaN NMOS 전력 트랜지스터가 패키지에 통합된 32A 5V-입력, 94.2% 피크 효율의 고주파수 전력 컨버터 모듈", Nachiket Desai 외, 인텔

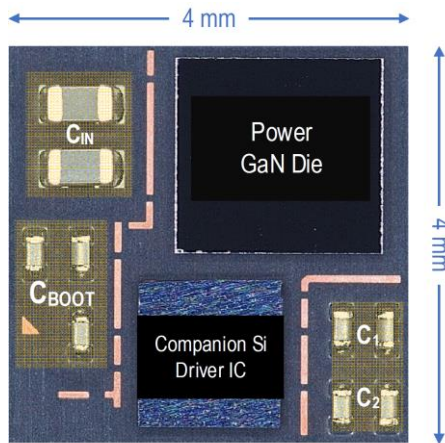
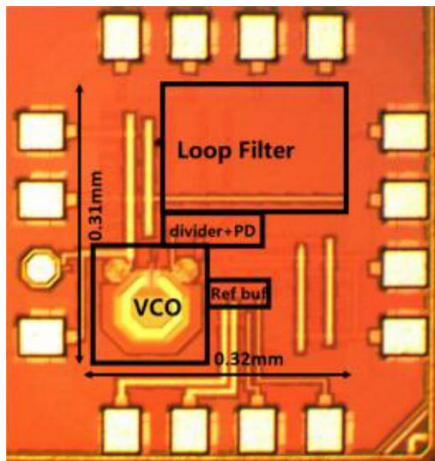


그림 4.2 다이 패키지 통합 GaN 전력 모듈.

논문 C18-1: 20.3-fs 지터의 19-GHz PLL

UCLA 는 28-nm CMOS 기술로 제조된 초저지터 PLL 을 제안한다. 새로운 리타이밍 방식과 함께 더블 엣지 샘플링 기법이 사용되었으며, 프로토타입은 250-MHz 레퍼런스 클럭, 12-mW 전력 소모 및 20.3fs 의 RMS 지터를 달성한다.

"20.3-fs 지터의 19-GHz PLL", Yu Zhao, Behzad Razavi, UCLA



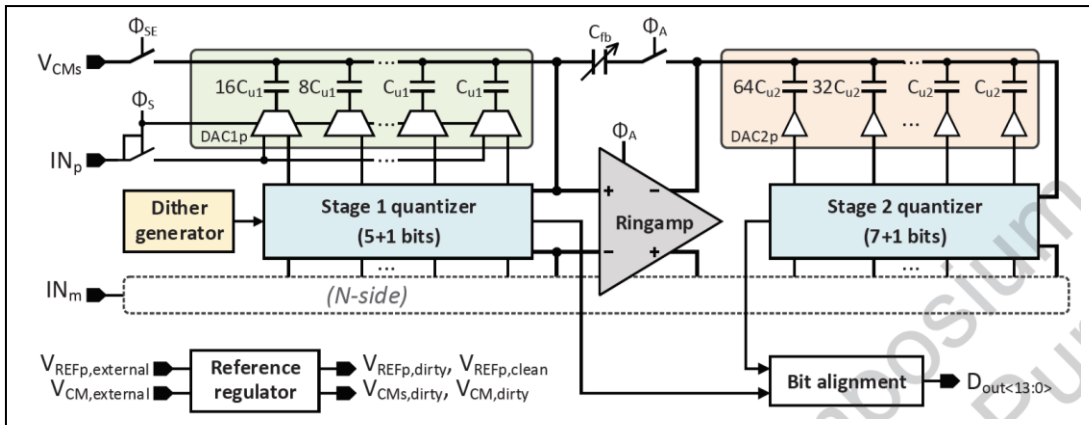
[그림 5] 초저지터 PLL 의 다이 현미경 사진

센서 및 데이터 컨버터

논문 C15-1: 백그라운드 보정을 지원하는 완전 동적 파이프라인 SAR ADC

링 증폭기, 동적 양자화기 및 조정기와 같은 완전한 동적 회로는 전력 효율면에서 ADC의 최근 발전을 도왔다. 올해 IMEC은 링 증폭기를 사용하여, 백그라운드 보정을 통해 높은 대역폭과 전력 효율을 동시에 달성해 견고성을 보장하고 성능을 최적화하는 싱글 채널의 완전 동적 파이프라인 SAR ADC를 발표한다. 새로운 동적 양자화기와 좁은 대역의 흔들림이 있는 인젝션은 DAC 불일치, 인터스테이지 게인, 및 링 증폭기 바이어스 최적화를 빠르고 포괄적으로 백그라운드 측정하기 위해 제안되었다. ADC는 칩 안에서 동작하는 광범위하고 완전한 동적 레퍼런스 조정 시스템 역시 포함한다. 500 MS/s에서 3.3 mW를 소모하는 ADC는 10.0ENOB 및 75.5 dB SFDR을 달성하여 6.2 fJ/c.s의 Walden FoM을 제공한다.

"16nm CMOS, 배경 보정 및 동적 레퍼런스 조정을 지원하는 10.0 ENOB, 6.2 fJ/conv.-step, 500 MS/s 링 증폭기 기반 파이프라인 SAR ADC", J. Lagos 외, IMEC

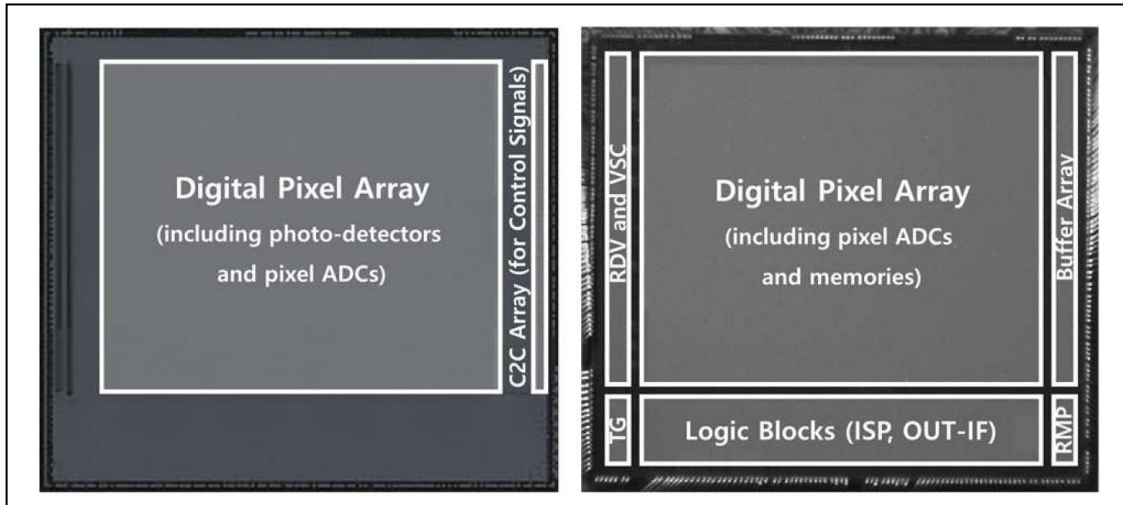


[그림 1] ADC 아키텍처

논문 JFS4-4: Cu-to-Cu 통합으로 픽셀 레벨 ADC를 탑재한 CMOS 이미지 센서

삼성전자는 Cu-to-Cu(C2C) 인터커넥터로 합쳐진 65 nm 센서와 28 nm 논리 칩으로 구현된 고급 CMOS 이미지 센서를 발표한다. 이 센서는 첨단 DRAM 기술을 사용하여, 2.6 e-rms의 낮은 랜덤 노이즈, 비디오 레이트에서 116.2 mW의 저전력을 지원하는 최대 960 fps 2 메가픽셀의 고속 글로벌 셔터 CMOS 이미지 센서(CIS)이다. 우수한 성능의 글로벌 셔터 CIS를 위해, 해당 연구팀은 픽셀 단위의 ADC와 디지털 메모리를 사용하는 뛰어난 글로벌 셔터 CIS를 이용한 디지털 픽셀 센서를 제안한다. 각 픽셀은 웨이퍼 단위로 쌓기 위한 작은 피치의 Cu-to-Cu 인터커넥터 2개를 가지며, 각 단위 픽셀의 피치는 5 μm 미만이며 이것은 픽셀 레벨 ADC와 22비트 메모리를 내장한 세계에서 가장 작은 픽셀이다.

"픽셀 레벨 ADC와 인-픽셀 메모리를 내장한 2.6 e-rms 낮은 랜덤 노이즈, 116.2 mW 저전력의 2-Mp 글로벌 셔터 CMOS 이미지 센서", Min-Woong Seo 외, 삼성전자

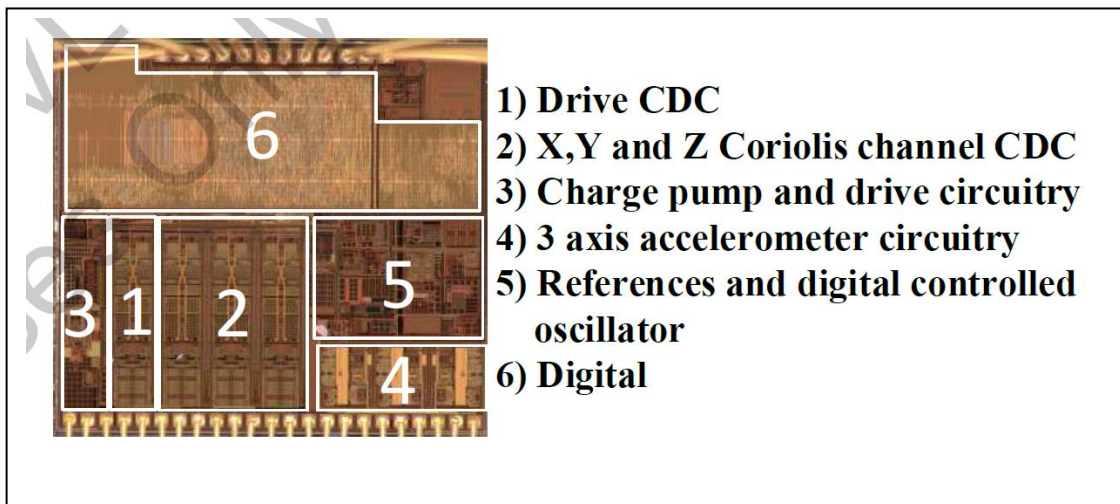


[그림 5] 칩 현미경 사진(왼쪽: 상부 칩, 오른쪽: 하부 칩)

논문 C19-1: 넓은 범위의 자이로스코프 프론트엔드 회로

로버트 보쉬 & 보쉬 센서텍은 3축 커패시턴스 감지형 자이로스코프 센서 장치에서 신호를 감지, 증폭 및 디지털화하는 데 사용되는 자이로스코프 프론트엔드 회로를 발표한다. 이 회로의 중요한 특징은 $\pm 8000 \text{ deg./s}$ 의 넓은 입력 범위로, 이것은 현재까지의 가장 높은 범위보다 4 배 넓은 것이다. 이 칩은 $0.0047 \text{ deg./s}/\sqrt{\text{Hz}}$ 의 노이즈 플로어와 같은 다른 측면에서는 비슷한 성능을 보인다.

" $\pm 8000 \text{ deg./s}$ 의 전 범위와 노이즈 플로어 $0.0047 \text{ deg./s}/\sqrt{\text{Hz}}$ 를 제공하는 직접 디지털화 개방형 루프 자이로스코프 프론트엔드", Chinwuba Ezekwe 외, 로버트 보쉬 & 보쉬 센서텍



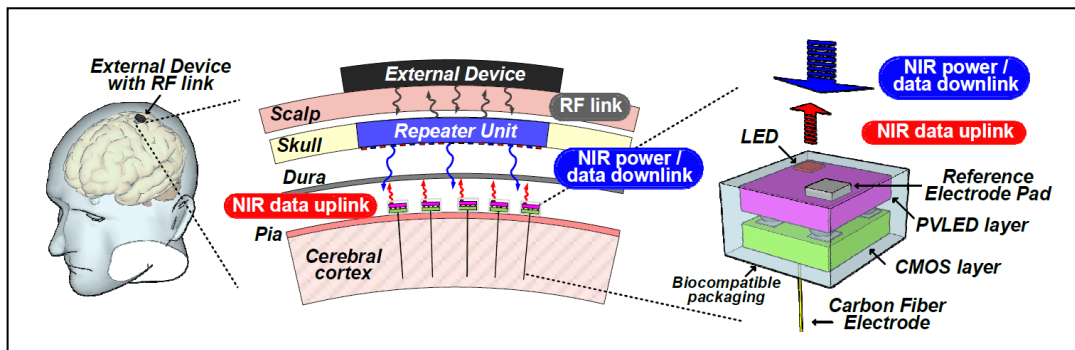
[그림 5] 칩 현미경 사진($1.94 \text{ mm} \times 1.8 \text{ mm}$)

생체의학 회로

논문 C2-2: 초소형 무선 뇌 센서를 위한 신경 기록 칩

이 논문은 NIR에서도 작동하는 초소형 뇌 감지 장치를 위한 전원 관리, 신경 감지 및 광학 신호 전송 칩을 제시한다. 이 칩의 주요 특징은 빛에 대한 내구성이 높아진 것이다. 해당 연구팀은 CMOS 칩이 패키지를 통해 들어오는 예상치 못한 빛에 노출되더라도 기능을 유지할 수 있도록 회로를 설계했다. 이 회로는 최대 $300 \mu\text{W}/\text{mm}^2$ 빛 노출(조직 한계 이상)에 대한 충분한 빛 내구성을 달성하고, 38°C 에서 $0.57 \mu\text{W}$ 를 소모하여 온칩 기능 추출과 개별 게인 제어를 통합한 독립형 mote 중에서 가장 낮은 전력을 소비한다.

"근적외선 부동 Mote 를 위한 광 내구성 신경 기록 IC", Jongyup Lim 외, 미시간 대학교 & 쿼리히 연방 공과대학교 & 델라웨어 대학교



[그림 1] NIR 기반 무선 신경 기록 Mote 의 개념도