

2021 年 VLSI 技術及電路研討會的 技術亮點

2021 年 VLSI 技術及電路研討會是頂尖的國際會議，這場國際會議記錄微/奈米積體電子的發展速度、進度和演進，預計於 2021 年 6 月 13 日至 19 日舉辦。兩場研討會將以全虛擬方式舉辦，結合實況口頭會和預錄素材。

這次研討會以「**改變人類生活方式的 VLSI 系統**」為核心主題，活動日程之中整合先進技術發展、創新電路設計及各種應用，協助全球社會轉型至新時代，運用智能聯網裝置及系統，改變人類彼此互動的方式。

下列是以此為主題的一些精彩論文介紹：

技術焦點

先進 CMOS 技術

論文 (T2-1) T0030

Imec 的研究人員提出將叉型片 (forksheet) N 和 PFET 一起整合於閘極環繞式奈米片 (GAA nanosheet) FET 的報告。叉型片短通道控制相當於 22nm 閘極長度的奈米片 (飽和次臨界斜率= 66-68mV/dec)。通道釋放後的濕式清洗最佳化可改善叉型片的 I_{ON} 和 I_{OFF} 特性，這歸因於閘極堆疊介面陷阱密度的降低。雙功函數金屬閘極整合在 17nm 的 N-P 間距，使叉型片用於 CMOS 面積微縮的主要優勢更為明顯。

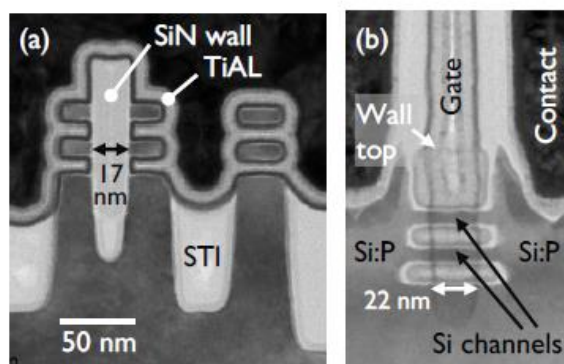


Fig. 5. End-of-process TEM images (a) across co-integrated fork- and nanosheet structures and (b) along a forksheet channel (NMOS).

Fig. 5. End-of-process TEM images (a) across co-integrated fork- and nanosheet structures and (b) along a forksheet channel (NMOS).

圖 5.製程完成後的 TEM 影像：(a) 整合的叉型片和奈米片結構，以及 (b) 叉型片通道 (NMOS)。

「叉型片 FET 用於先進 CMOS 微縮：17nm N-P 間距的叉型片-奈米片共同整合與雙功函數金屬閘極」，作者：imec 的 H. Mertens 等人

論文 (T2-3) T0035

Intel 報告稱，二維材料通道可實現 MOSFET 電晶體的終極微縮，並解決數十年內的摩爾定律微縮問題。團隊展示了使用厚度小於 1nm 的單層 TMD (過渡金屬二硫屬化合物) 通道的 n 和 p-MOSFET 以及可製造的 CVD、MBE 或種晶長成技術。使用新型接觸金屬在轉移的 MBE MoS₂ 上的 NMOS 元件顯示出低變化、據報為最低的接觸電阻 (R_c) 0.4 kΩ·μm 之一、低遲滯，和 77 mV/dec 的良好次臨界斜率 (SS)。使用 CVD WSe₂ 的 PMOS 元件的 SS 為 89 mV/dec，據報為在長成薄膜上的 PMOS 中最好的表現，但導通電流仍低於 NMOS。無轉移、區域選擇性 WS₂ 電晶體的導通電流達到 10 μA/μm，據報為使用種晶長成在 WS₂ 上最好的成果。

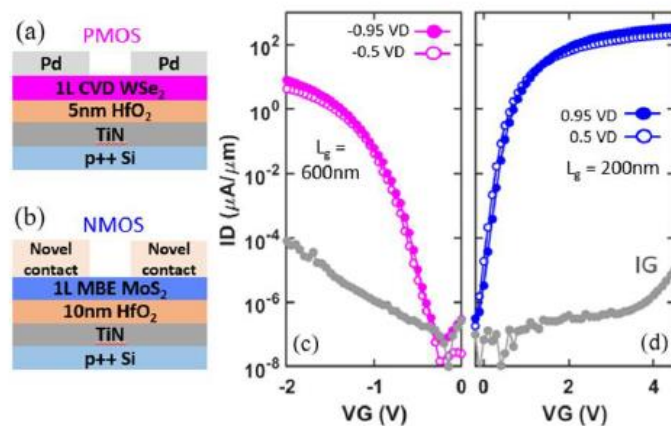


Fig. 6. Cross-section of PMOS (a) and NMOS (b) device. (c) Id-Vg characteristics of NMOS and PMOS transistors.

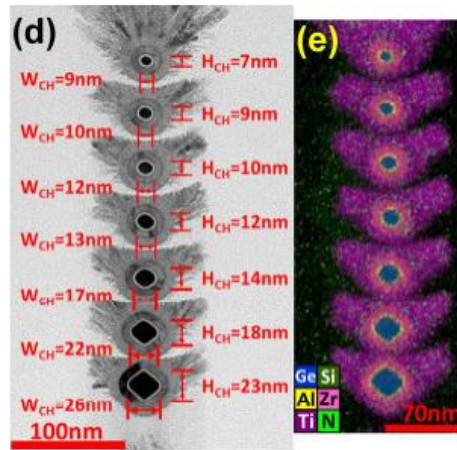
Fig. 6. Cross-section of PMOS (a) and NMOS (b) device. (c) Id-Vg characteristics of NMOS and PMOS transistors.

圖 6. PMOS (a) 和 NMOS (b) 裝置元件斷面圖。(c) NMOS 和 PMOS 電晶體的 Id-Vg 特性。

「將單層 2D NMOS 和 PMOS 電晶體整合從長成推進到凡得瓦介面工程，以實現終極 CMOS 微縮」，作者：Intel Corporation 的 C. J. Dorow 等人

論文 (T15-2) T0039

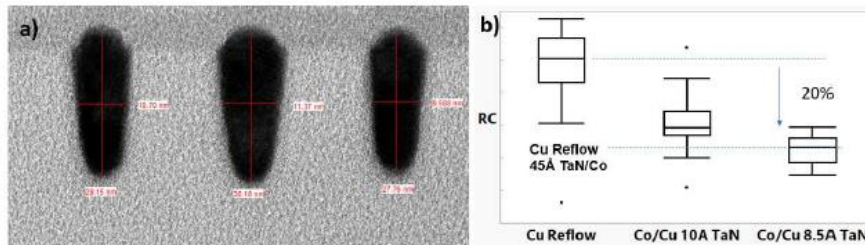
國立台灣大學的研究小組報告，透過 H₂O₂ 濕式蝕刻可以實現 8 層堆疊的 Ge_{0.75}Si_{0.25} 奈米片和 7 層堆疊的 Ge_{0.95}Si_{0.05} 奈米線。展現 8 層堆疊 Ge_{0.75}Si_{0.25} 的高通道間均勻性。由於 L₄ 谷的傳輸有效質量 (m_t) 小和 DOS (能量態密度) 有效質量 (m_{DOS}) 大，而 R_{S/D}/R_{total} 卻很低，因此證明了 7 層堆疊 Ge_{0.95}Si_{0.05} 的高效能。報告中的 Ge/GeSi 3D nFET，在 V_{OV}=V_{DS}=0.5V 時記錄的每堆疊 I_{ON}=110μA (每通道面積 4100μA/μm)，在 V_{DS} = 0.5V 時達到高 G_{m,max}=340μS (13000μS/μm)。



「透過濕式蝕刻，首批高度堆疊的 $Ge_{0.95}Si_{0.05}$ nGAAFET 在 $V_{OV}=V_{DS}=0.5V$ 時記錄達到 $I_{ON} = 110 \mu A$ ($4100 \mu A/\mu m$)，在 $V_{DS}=0.5V$ 時記錄達到高 $G_{m,max} = 340 \mu S$ ($13000 \mu S/\mu m$)」，作者：國立台灣大學的 Yi-Chun Liu 等人

論文 (T5-2) T0107

IBM Research 及應用材料公司展示用於低於 28 nm 間距的 BEOL 互連雙鑲嵌 (DD) 整合架構的擴充性。團隊開發了兩種創新的製程 (1) 用選擇性沉積的 TaN 障壁擴充銅鑲嵌互連，該障壁在不損害可靠性的情況下降低了 via 電阻 (2) 採用冶金學的創新雙金屬化架構，可用於提高細線和寬線的效能。這些製程創新可大幅改善 via、訊號和電源線的電阻。對於高效能計算 (HPC) 應用，具有高長寬比電源軌的雙冶金技術可提供最佳效能。



Fig's. 6. (a) TEM image of 10nm wide Co interconnects (b) RC comparison between Co (10 Å / 8.5 Å TaN) and Cu with 4.5 nm TaN/Co.

Fig's. 6. (a) TEM image of 10nm wide Co interconnects (b) RC comparison between Co (10 Å / 8.5 Å TaN) and Cu with 4.5 nm TaN/Co.

圖 6.(a) 10nm 寬 Co 互連的 TEM 影像 (b) Co (10 Å / 8.5 Å TaN) 和含 4.5 nm TaN/Co 的 Cu 之間的 RC 比較。

「雙鑲嵌 BEOL 擴充性 Cu 回流/選擇性 TaN 和 Co/Cu 複合物」，作者：IBM Research 的 P. Bhosale 等人

量子運算

論文 (JFS5-5) T0150

AIST 首次提出了一種啟發自埋線技術，可實現高速/低變異性矽自旋量子位元運作的埋線奈米磁鐵 (BNM)。BNM 產生的大傾斜磁場非常接近自旋量子位元，而保真度的低偏差則歸功於自對準製程，從而實現高速量子閘運作。利用以 TCAD 為基礎的模擬，證明 BNM 實現的 Rabi 振盪 (更快的自旋翻轉) 比以前的研究快 10 倍，且特定製程變異下的保真度大於 99%。此外，所提出的 BNM 配置對於採用 2D 晶格量子位元配置的可糾錯大型量子電腦是可行的。這項技術讓實踐以矽為基礎的大型量子電腦成為可能。

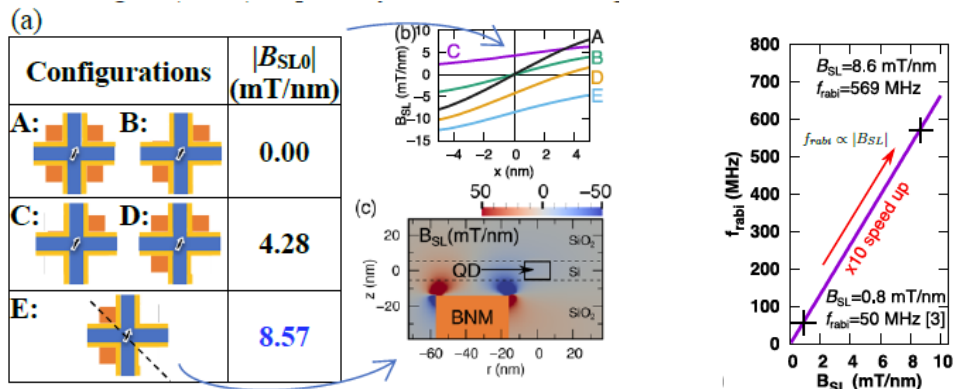


Fig.2 (a) Possible configurations of nanomagnet and slanting field at the center of the quantum dot (B_{SL0}). (b) B_{SL} distributions in x direction around the quantum dot. (c) 2D distribution of the B_{SL} in configuration E.

Fig.4 Rabi frequency depending on B_{SL} . Faster rabi oscillation is realized by larger B_{SL} .

Fig. 2 (a) Possible configurations of nanomagnet and slanting field at the center of the quantum dot (B_{SL0}). (b) B_{SL} distributions in x direction around the quantum dot. (c) 2D distribution of the B_{SL} in configuration E.	圖 2 (a) 量子點中心處的奈米磁鐵和傾斜磁場的可能配置 (B_{SL0})。 (b) 量子點在 x 方向的 B_{SL} 分佈。 (c) E 配置中 B_{SL} 的 2D 分佈。
Fig.4 Rabi frequency depending on B_{SL} . Faster rabi oscillation is realized by larger B_{SL} .	圖 4. Rabi 頻率，取決於 B_{SL} 。更快的 Rabi 振盪可透過更高的 B_{SL} 實現。

「埋線奈米磁鐵實現高速/低變異性矽自旋量子位元：可應用於可糾錯大型量子電腦」，作者：AIST 的 S. Iizuka 等人

人工智慧/機器學習裝置

論文 (T13-3) T0077

IBM Research 報告提出 ARES - 14nm 相變記憶體 (PCM) 型測試晶片，其中包含多個交換器圖塊，每個圖塊都可以在 512x512 唯一權重上進行平行乘積累加 (MAC) 推論。大量平行的 2D 網格在整個晶片、數位資料進出晶片的圖塊和整合的落地接

觸點 (LP) 之間以持續時間格式在晶片上傳輸深度神經網路 (DNN) 激發。為了進行精確的權重程式設計 (<3% 權重誤差)，團隊採用逐行程式設計架構，以最小的過衝有效地對每個模擬權重中的 4 個 PCM 裝置進行程式設計。他們以接近軟體的等效精度實作兩個 DNN，展示具有全晶片 2 層網路的圖塊到圖塊傳輸，並使用循環 LSTM (長期短期記憶體) 測試錯誤傳播的恢復能力，在循環回到下一個晶片上 MAC 之前，使用晶片外啟動功能。

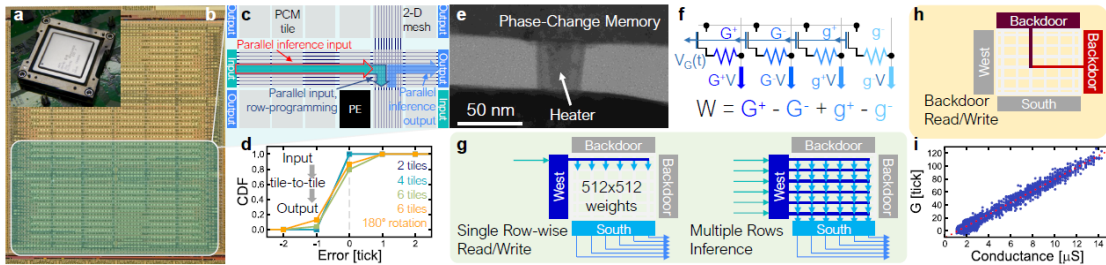


Fig. 1 (a) ARES chip, (b) micrograph and (c) components: input LP, output LP, PCM tiles, and duration transport across tiles using a 2-D parallel-signal mesh. (d) CDF of bit-errors in duration transport, for various travel distances. (e) TEM of a PCM device integrated in 14-nm back end. (f) Each MACC weight is encoded using 4 PCM devices. (g) Parallel read/write (left) is achieved by programming and then inferring one row at a time, using the same circuits (and any non-idealities) encountered during full inference (right). (h) Single-device ("backdoor") read/write circuitry can measure device conductance in μS . (i) Correlation between measurements using (g) and (h).

Fig. 1 (a) ARES 晶片，(b) 顯微圖和 (c) 構成要素：輸入 LP、輸出 LP、PCM 圖塊，及使用 2-D 平行訊號網格的圖塊間持續時間傳輸。(d) 各種行程距離的持續時間運輸中位元錯誤的 CDF。(e) 整合在 14-nm 後端的 PCM 元件 TEM。(f) 每個 MACC 權重均使用 4 個 PCM 元件進行編碼。(g) 平行讀取/寫入 (左) 是透過程式設計，然後使用完全推理 (右) 中遇到的相同電路 (以及任何非理想情況) 一次推論一行。(h) 單裝置 (「後門」) 讀/寫電路可以以 μS 為單位測量裝置導電性。(i) 使用 (g) 和 (h) 進行測量之間的相關性。

圖 1 (a) ARES 晶片，(b) 顯微圖和 (c) 構成要素：輸入 LP、輸出 LP、PCM 圖塊，及使用 2-D 平行訊號網格的圖塊間持續時間傳輸。(d) 各種行程距離的持續時間運輸中位元錯誤的 CDF。(e) 整合在 14-nm 後端的 PCM 元件 TEM。(f) 每個 MACC 權重均使用 4 個 PCM 元件進行編碼。(g) 平行讀取/寫入 (左) 是透過程式設計，然後使用完全推理 (右) 中遇到的相同電路 (以及任何非理想情況) 一次推論一行。(h) 單裝置 (「後門」) 讀/寫電路可以以 μS 為單位測量裝置導電性。(i) 使用 (g) 和 (h) 進行測量之間的相關性。

「透過 PCM 型權重的精確逐行程式設計和以持續時間格式進行平行向量傳輸，實現 14nm 全晶片上 MAC」，作者：IBM 的 P. Narayanan 等人

3D 異質整合、非矽基質/材料與元件

論文 (T2-4) T0011

普渡大學研究人員的報告，首次展示透過後端 (BEOL) 相容的原子層沉積 (ALD) 製程在鰭結構和積體電路上塗覆 In_2O_3 3D 電晶體。經由通道厚度工程和沉積後退火技術，可以實現具有 $113 \text{ cm}^2/\text{V}\cdot\text{s}$ 的高遷移率，並記錄到 $2.5 \text{ mA}/\mu\text{m}$ 的高最大汲極電流的高效能平面 In_2O_3 電晶體。展出基於高效能 ALD In_2O_3 的零 VGS 負載反向器，最大電壓增益為 38 V/V，最小供應電壓 (V_{DD}) 低至 0.5V，同時展出 ALD In_2O_3 3D 電晶體從 ALD 的保形沉積能力中受惠。這些結果表明，ALD 氧化物半導體和元件具有獨特的優勢，並有望實現與 BEOL 相容的單石 3D 整合的 3D 積體電路。

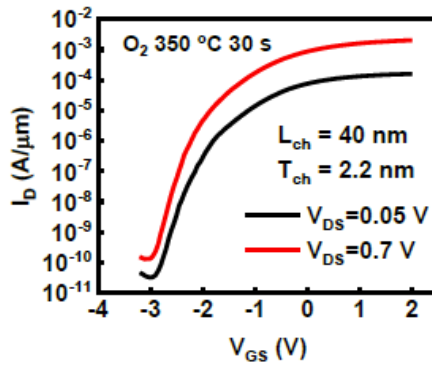


Fig. 10. I_D - V_{GS} characteristics of an In_2O_3 transistor with L_{ch} of 40 nm and T_{ch} of 2.2 nm with O_2 annealing at 350 °C.

Fig. 10. I_D - V_{GS} characteristics of an In_2O_3 transistor with L_{ch} of 40 nm and T_{ch} of 2.2 nm with O_2 annealing at 350 °C.

圖 10. 以 350°C 氧氣退火， L_{ch} 為 40 nm 且 T_{ch} 為 2.2 nm 的 In_2O_3 電晶體的 I_D - V_{GS} 特性。

「首次展示原子層沉積 BEOL 相容的 In_2O_3 3D 結構和積體電路：113 $\text{cm}^2/\text{V}\cdot\text{s}$ 高遷移率，2.5 $\text{mA}/\mu\text{m}$ 最大汲極電流，和 38 V/V 最大電壓增益 In_2O_3 反向器」，作者：普渡大學的 Mengwei Si 等人

論文 (T2-5) T0142

Sony 的研究團隊展示了全球首個用於緩衝記憶體的 40nm 嵌入式 STT-MRAM (自旋力矩轉移磁性隨機存取記憶體)，此記憶體與 3D 堆疊 CMOS 圖像感應器 (CIS) 製程相容。他們將 CoFeB 型的垂直磁性穿隧界面 (p-MTJ) 最佳化，以抑制 3D 堆疊晶圓製程導致的磁效能下降。團隊改進製程，實現 -30°C 典型工作電壓條件下 40 ns 以內的高速寫入操作，在 105°C 的環境下耐久性可承受高達 $1\text{E}+10$ 個週期，而在 85°C 的情況下可保留 1 秒的資料，符合緩衝記憶體的需求。此外，為了擴展嵌入式 MRAM (eMRAM) 的應用，團隊提出了一種新穎的融合技術，將嵌入式非揮發性記憶體 (eNVM) 和緩衝記憶體類型的嵌入式 MRAM 整合在同一晶片內。他們運用融合技術實現 1 秒至 10 年以上的資料保留期，並提供充足的寫入餘量。

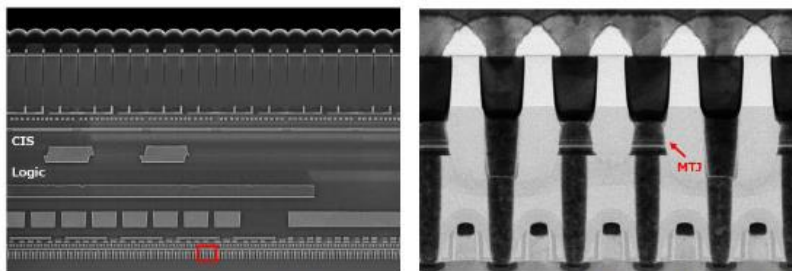


Fig. 1: Cross section image of eMRAM integrated into 3D stacked CIS (a) SEM image of 3D stacked CIS (b) TEM image of eMRAM arrays.

Fig. 1: Cross section image of eMRAM integrated into 3D stacked CIS (a) SEM image of 3D stacked CIS (b) TEM image of eMRAM arrays.

圖 1：3D 堆疊 CIS 整合的 eMRAM 截面影像 (a) 3D 堆疊 CIS 的 SEM 影像 (b) eMRAM 陣列的 TEM 影像。

「用於緩衝記憶體 3D 堆疊 CIS 相容的 40nm 嵌入式 STT-MRAM」，作者：Sony Semiconductor 的 M. Oka 等人

論文 (JFS2-6) T0046

imec 的研究人員報告了具有背面連通性的微縮 Si 通道 finFET ($L_{gate} > 20nm$ ，45nm 鰭距)：晶片極度薄化 (在 STI 氧化物下方留幾個 Si 厚度：從約 370nm 減到約 20nm) 和各種高度 (連結至晶圓薄化值) 的 W 填充奈米通矽穿孔 (n-TSV)，使用低溫 (Lt)、晶圓對晶圓 (W2W) 介電質接合後。此架構旨在解耦訊號和電源網路，並透過將電源網路移至晶圓背面來降低 IRdrop。提出 3D 製程對元件特性影響的全面評估，結果顯示：1) 提高 nmos 遷移率和驅動電流 (高達 15%)；2) 對於 pmos，降低 I_{ON} 損失 (約 3 至 10%)，提高 R_{ext} ，並透過 NBD (微區繞射) 對各種佈局進行通道應變評估；3) $\Delta V_T \sim 130mV$ ，可以透過額外的退火來恢復，同時保持小的變異性和匹配控制。未發現 BTI 衰減，進一步表示最終的退火選擇對於靜電作用和可靠性的提高有所幫助。

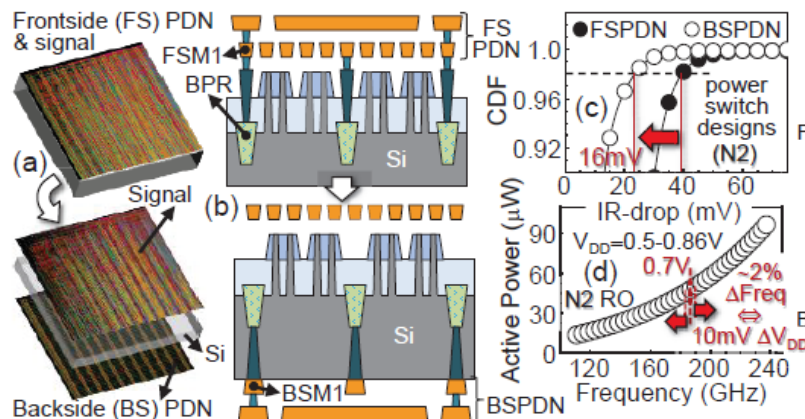


Fig.1 – a,b) Illustration of the concept to move power delivery networks (PDN) to the backside of thinned wafers using n-TSVs and BPR technology. Smaller IR-drop values are predicted for this configuration (c) leading to enhanced system performance (d).

Fig.1 - a,b) Illustration of the concept to move power delivery networks (PDN) to the backside of thinned wafers using n-TSVs and BPR technology. Smaller IR-drop values are predicted for this configuration (C) leading to enhanced system performance (d).

圖 1 - a,b) 使用 n-TSVs 和 BPR 技術將輸電網路 (PDN) 移至薄晶圓背面的概念說明。此配置 (C) 可預測到較小的 IR-drop 值，從而提高系統效能 (d)。

「透過 n-TSV 啟用背面連接邏輯及其作為微縮工具的潛力」，作者：imec 的 A. Veloso 等人

記憶體技術

論文 (T11-3) T0071

TSRI 報告，首次透過介面強化的合成反鐵磁 (SAF) 和強化的離子束蝕刻 (IBE) 證明 CMOS 相容的 400°C 固化 42 nm 垂直自旋軌道轉矩磁穿隧界面 (p-SOT-MTJ) 元件，其穿隧式磁阻 (TMR) 比率為 130%。SAF 達到破紀錄的 440°C 的熱穩定性。SAF 場 (HSAF) 和 Co/Pt 多層 (ML) 與參考層之間的磁耦合透過磁耦合 FCC 結構多層 (MCFTM) 緩衝層增強。透過 W(3Å) 的結構解耦擴散多障蔽 (TDDMB)，可有效

降低熱應力過程中的 Pt-Fe 交互擴散，從而獲得磁場抗擾性。Ta/W 和 Ta/W 的複合 SOT 通道打破了 β -W ($< \sim 5$ nm) 的厚度限制，並擴大 MTJ 蝕刻界限。Ta/W 通道具有大的有效自旋霍爾角度(約 -0.27)。實現由自旋力矩轉移 (STT) 輔助的確定性無場 SOT 寫入。

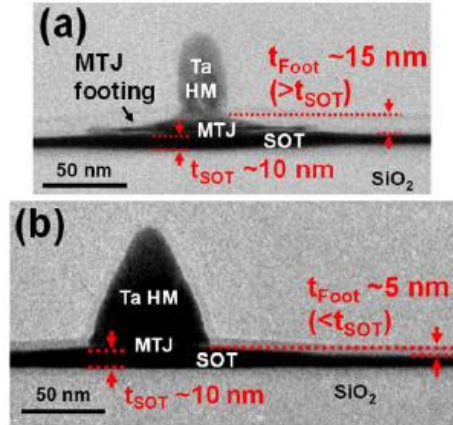


Fig. 10 TEM of p-SOT-MTJ after IBE (a) process I and (b) process II. Process II including 20° Ar etch (angle between out-of-plane axis) can reduce t_{Foot} less than t_{SOT} .

Fig. 10 TEM of p-SOT-MTJ after IBE (a) process I and (b) process II. Process II including 20° Ar etch (angle between out-of-plane axis) can reduce t_{Foot} less than t_{SOT} .

圖 10. IBE (a) I 製程和 (b) II 製程後 p-SOT-MTJ 的 TEM。II 製程包含 20° Ar 蝕刻 (離平面軸之間的角度) 可將 t_{Foot} 減至低於 t_{SOT} 。

「首次展示以 STT 輔助無場切換和複合通道的介面強化 SAF 實現 400°C 固化 42 nm p-SOT-MTJ 單元」，作者：TSRI 的 Ya-Jui Tsou 等人

論文 (T6-3) T0052

TSMC 研究了在不同電場應力下透過 SILC (應力誘發漏電流) 測量 HfZrO 鐵電體的極化疲勞。在高場下，團隊觀察到極化喚醒和 SILC 增加之間的高相關性。這是因為氧空位的重新分佈和滲流路徑形成，尤其是在高頻循環中。相反地，發現在低場下會發生極化疲勞，但 SILC 不會提升。TEM/PED (前進電子衍射) 的 P-E 迴路測量和材料分析表明，在低偏壓條件下，電荷捕捉為主要原因。他們證明了低場應力引起的疲勞可以經由在高場散佈的周期性短週期而有效恢復，以管理電荷捕捉和氧空位的重新分佈，從而拉長耐久性超過 $1\text{E}12$ 週期，而不會在室溫下 SILC 衰減。

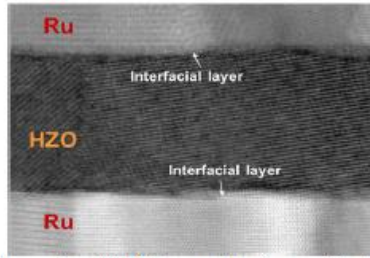


Fig. 6 TEM analysis of the Ru/HZO/Ru MFM capacitor shows a very thin interfacial layer (<1nm) formation between the 10nm HZO and metal electrodes at the top and bottom interface.

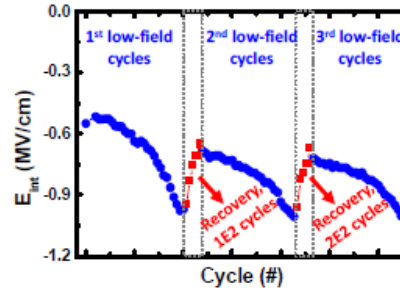


Fig. 17 Internal field E_{int} as a function of cycling shows a recoverable imprint due to de-trapping process by high-field recovery pulse after each low-field cycling loop.

<p>Fig. 6 TEM analysis of the Ru/HZO/Ru MFM capacitor shows a very thin interfacial layer (<1nm) formation between the 10nm HZO and metal electrodes at the top and bottom interface.</p>	<p>圖 6. Ru/HZO/Ru MFM 電容器的 TEM 分析顯示，在 10nm HZO 與頂部和底部界面的金屬電極之間形成非常薄的介面層 (<1nm)。</p>
<p>Fig. 17 Internal field E_{int} as a function of cycling shows a recoverable imprint due to de-trapping process by high-field recovery pulse after each low-field cycling loop.</p>	<p>圖 17. 作為循環函數的內部場 E_{int} 顯示了可恢復的印跡，這是由於在每個低場循環迴路之後，經由高場恢復脈衝進行去捕捉過程所引起。</p>

「HfZrO 鐵電體疲勞特性與其恢復行為」，作者：TSMC 的 P.J.Liao 等人

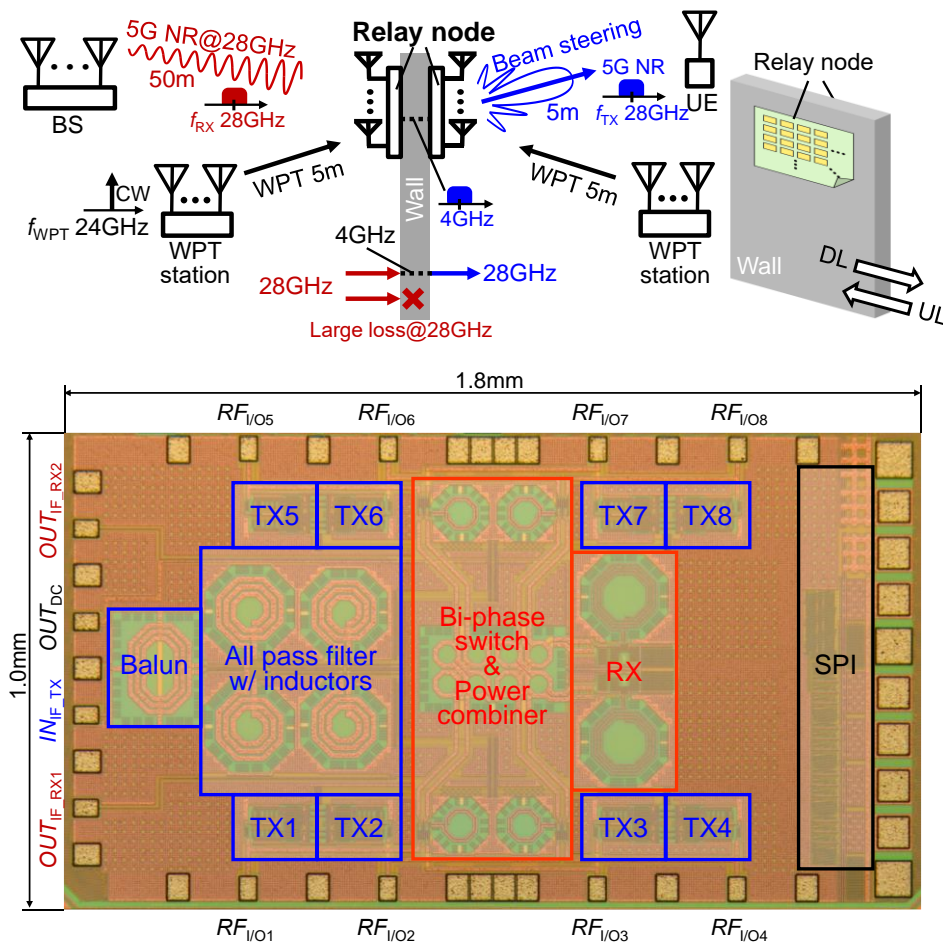
電路焦點

5G 收發器

論文 (C11-1)[C0170] 5G 用 28GHz 免電池中繼收發器

5G 中使用的毫米波具有很強的方向性和較短的通訊距離，並限制了 5G 網路的服務範圍。東京工業大學的研究人員提出了一個大型中繼網路，可將 5G 和 後 5G 系統的空間覆蓋範圍和容量最大化。此專案提出了一種無線供電的 28 GHz 相位陣列中繼收發器，並展示免電池的無線通訊，該通訊使用採用 5G 標準的 400 MHz 64QAM 調變訊號，且不用靠任何有線電源。

「使用向量求和後向散射器與 24 GHz 無線電源和 LO 傳輸，適用於 5G 網路的 28 GHz 相位陣列中繼收發器」，作者：東京工業大學的 Michihiro Ide 等人



[圖 1 和 5] 使用 24 GHz 無線電源傳輸的 28 GHz 相位陣列中繼收發器

光子互連與運算

論文 (JFS3-4) [C0072] 矽光子微環調變器為基礎的 4 x 112 Gb/s WDM 發射器 Intel 的作者展示了一種用於 400G 乙太網路模組和共封裝光學裝置的混合整合式 $4\lambda \times 112 \text{ Gb/s}/\lambda$ 波長分波多工 (WDM) 發射器。光子 IC (PIC) 包含一個含整合加熱器的微環調變器 (MRM) 陣列，用於高效 WDM。28nm CMOS 電子 IC (EIC) 具有非線性 FFE 和控制電路的 PAM4 MRM 驅動器，可穩定 MRM 效能，以抵抗製程和溫度上的變化。作者聲稱這是針對 O 波段環型 WDM 發射器所發現最高的每 λ 資料傳輸速率。

「以矽光子微型環調變器為基礎，具備 28nm CMOS 環光電流熱控制功能的 4 x 112 Gb/s O 波段 WDM 發射器」，作者：Intel Corporation 的 Jahnvi Sharma 等人

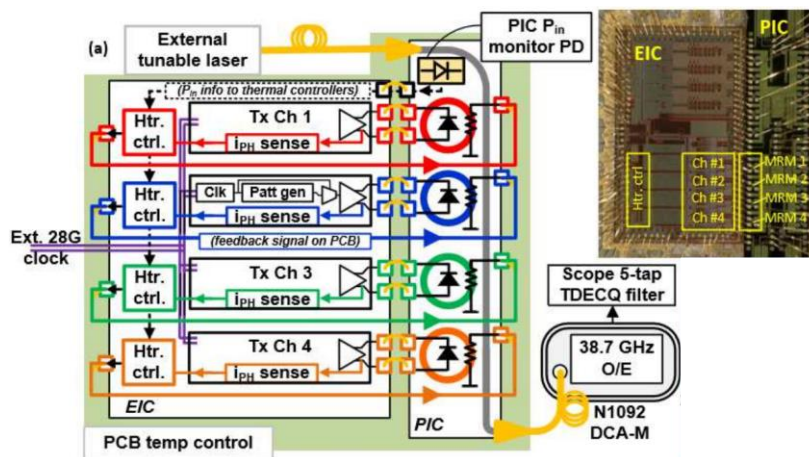


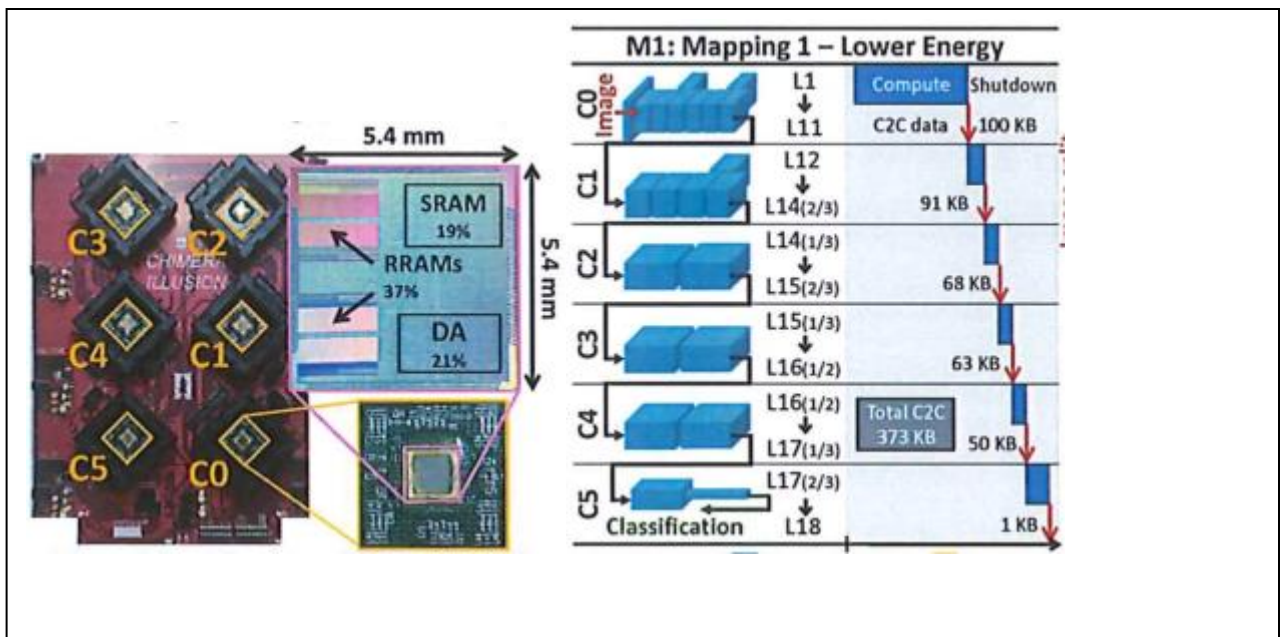
圖 1(a) O 波段 WDM Si-Ph TX 的結構與晶片相片。

人工智慧、機器學習

論文 (CFS1-2) [C0091] 適用於多晶片可擴展處理器中邊緣利用 RRAM 的深度神經網路加速器

史丹佛大學和 TSMC 的作者介紹了他們的邊緣 AI 加速器 CHIMERA。此加速器以推論和增量學習為應用目標。其整合一種非揮發性電阻式記憶體 (RRAM)，並透過具有晶片間連結的多晶片可擴展方法來運用其特性。作者將權重深度分佈在六個晶片 (C0 至 C5) 上，然後將運算結果從一個晶片傳播到下一個晶片。每個晶片完成一部分運算後，便會關閉電源。由於權重記憶的非揮發性，喚醒時間僅 33 μ s，且不使用時可以完全關閉電源。作者還提出了一種將權重更新降至最低的訓練演算法，以解決 RRAM 磨損以及高寫入耗電和延遲問題。該晶片採用 40nm 製程製造，每個晶片可實現 0.92TOPS 的效能及 2.2TOPS/W 的能源效率。

「CHIMERA：含 2 MB 晶片上電阻式 RAM、0.92 TOPS、2.2 TOPS/W、可進行高效訓練和推論的邊緣 AI 加速器」，作者：史丹佛大學和 TSMC 的 Massimo Giordan 等人



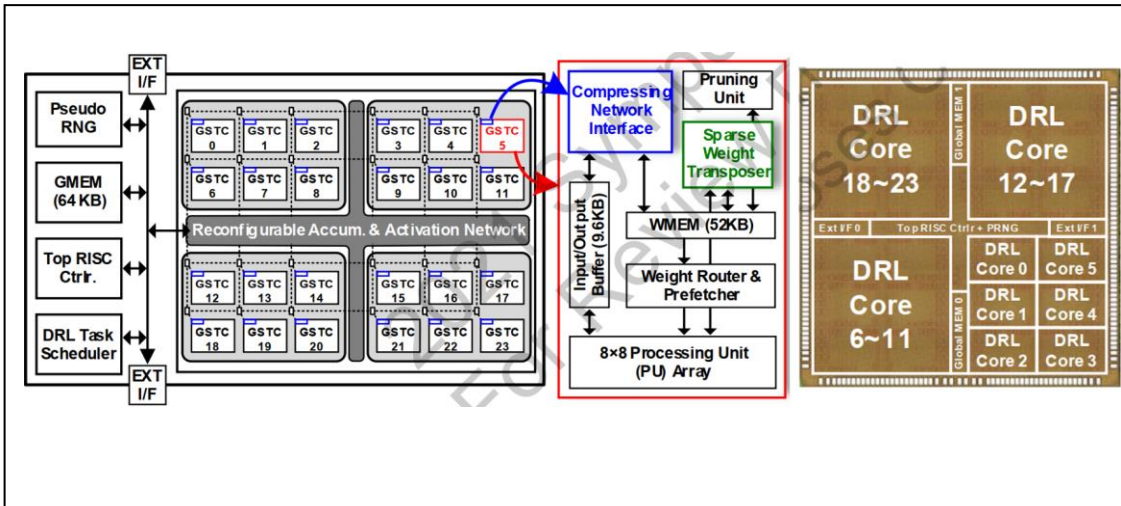
[圖 14 和 5 左]系統 PCB 概述以及 DNN 推論應用的晶片相片和多晶片範例圖

論文 (CFS1-3) [C0098] 可加快訓練速度的高效能節能深度強化學習 (DRL) 處理器

KAIST 研究人員展出一款可加快訓練任務速度、高效能、節能的深度強化學習 (DRL) 處理器，名為 OmniDRL。OmniDRL 具備多個 (24) 組稀疏訓練核心 (GSTC)，這些核心利用修剪和區塊循環的權重分組，將訓練速度提高 2 倍。此外，DRL 處理器在壓縮網路介面 (CNI) 中包含指數均值增量編碼 (EMDE)，以改善指數壓縮率 (提高 1.6 倍) 並降低記憶體存取耗電 (降低 23.3%)。最後，整合稀疏權重轉置器 (SWT)，實現晶片上壓縮權重的轉置，以減少對外部記憶體的存取。處

理器採用 28nm CMOS 製造，可實現 4.18TFLOPS 的峰值效能和 29.3TFLOPS/W 的峰值能源效率。

「OmniDRL：具有雙模式權重壓縮和晶片上稀疏權重轉置器的 29.3 TFLOPS/W 深度強化學習處理器」，作者：KAIST 的 Juhyoung Lee 等人



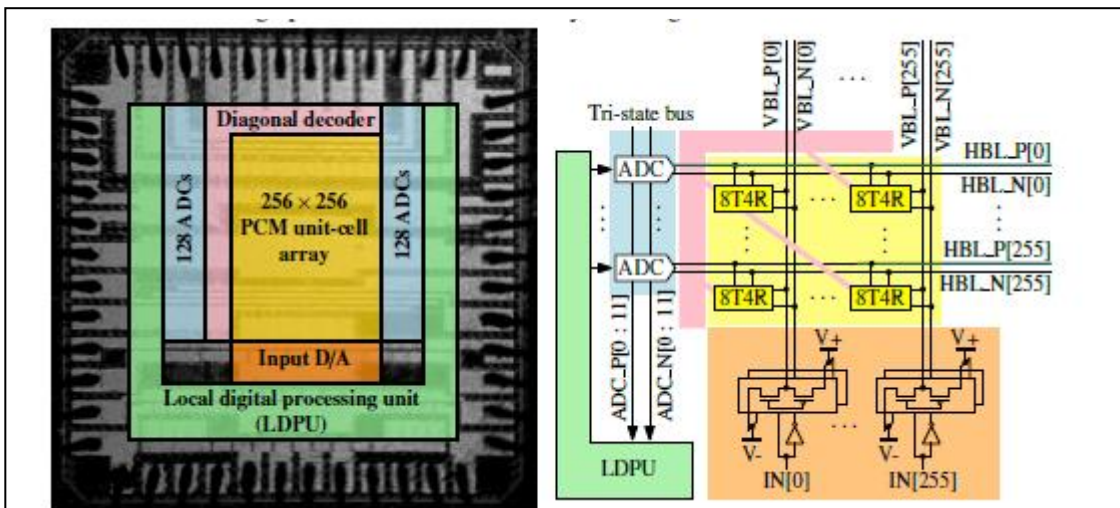
[圖 2 和 6.]具有 24 組稀疏訓練核心 (GSTC)、壓縮網路介面 (CNI) 和稀疏權重轉置器 (SWT) 模組的 DRL 處理器架構概述和晶片顯微圖

記憶體內運算

論文 (JFS2-5) [C0301] 以 CMOS 和 PCM 為基礎的記憶體內運算核心，使用線性化 CCO 型的 ADC 陣列和本地數位處理

IBM 展示了含後端整合的多層相變記憶體 (PCM)，採用 14nm CMOS 設計及製造的 256×256 記憶體內運算核心。其包含有 256 個線性電流控制振盪器 (CCO)、緊湊的 4 μ m 間距的 ADC，以及一個執行仿射縮放和 ReLU 作業的本地數位處理單元。其導入一種新穎的 CCO 頻率線性化技術，當在 1 GHz 以上的頻率下操作時，可產生精確的晶片上矩陣向量乘法 (MVM)。當使用兩個核心進行深度學習 (DL) 推論時，將展現 MNIST 和 CIFAR-10 資料集的測量分類精度。測到的能效為 10.5 TOPS/W，效能密度為 1.59 TOPS/mm²。

「HERMES 核心 - 以 14nm CMOS 和 PCM 為基礎的記憶體內運算核心，使用 300ps/LSB 線性化 CCO 型 ADC 陣列和本地數位處理。」，作者：IBM Research Europe 和 IBM Research, Albany 與 IBM Systems and Technology 和 IBM T. J. Watson Research Center 的 R. Khaddam-Aljameh 等人



[圖1.]晶片相片和系統概述

記憶體技術

論文 (C16-1) [C0295] 採用 5nm 高 K 值金屬閘極 FinFET CMOS 的 16Kb 反熔絲一次性可程式設計記憶體

TSMC 首次展示以 5nm 高 K 值金屬閘極 FinFET CMOS 製造的 16Kb 一次性可程式設計 (OTP) 反熔絲記憶體。實作自舉高電壓架構 (BHVS)、讀取端點偵測 (REPD) 和偽差分感測 (PDS)，以實現低於 1ppb 的固有誤碼率 (BER)，以便在 5nm SoC 中進行現場程式設計和 125°C 下的 10 年資料保留期。

「實作自舉高電壓架構、讀取端點偵測和偽差分感測功能，採用 5nm 高 K 值金屬閘極 FinFET CMOS 的 16Kb 反熔絲一次性可程式設計記憶體」，作者：TSMC 的 Shaun Chou 等人



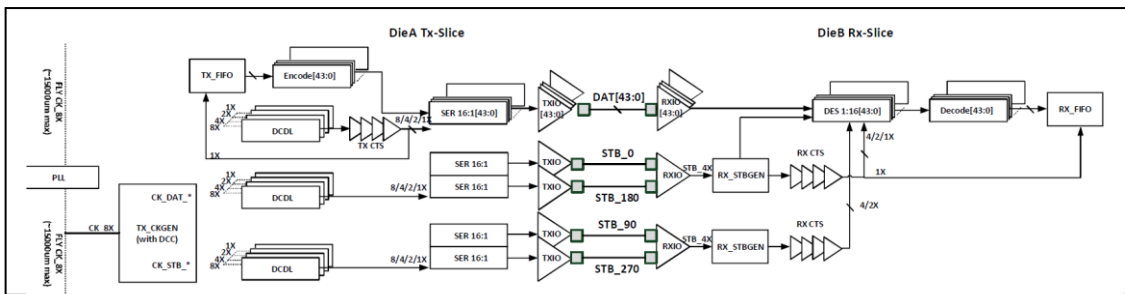
[圖 14] 晶片相片。

先進異質/3D 整合

論文 (JFS1-3) [C0188] 採用 7nm CMOS 技術先進異質整合的高密度和低功耗晶片對晶片通訊：

此專案提出了一種用於超短距離 (USR) 晶片對晶片通訊的高密度、低誤碼率和低功耗的 Mlink (MediaTek 連結) PHY。提出的 Mlink 採用 TSMC 7nm FinFET 1P15M CMOS 技術製造。互連係透過 TSMC Chip-on-Wafer-on-Substrate (CoWoS) 和 TSMC Integrated Fan-Out (InFO) 封裝技術進行展示。Mlink PHY 採用節能高效的架構，包括單一終端終止、收發器上的四分之一探測和不平衡架構、最小固有自動對準和新穎的抗雜訊編碼方法。在 1mm 超短距離平台下，可達到 20Gb/s/wire 和 0.46pJ/bit，以 BER 1E-25 為目標。頻寬密度分別以 Shoreline 5.31Tb/s/mm 和 Area 2.25Tb/s/mm² 進行標準化。

「採用最小固有自動對準和抗雜訊編碼，含 BER 1E-25 的 7nm 0.46pJ/bit 20Gbps 晶片對晶片連結」，作者：MediaTek Inc 的 Ying-Yu Hsu 等人



[圖 1] 無向單對 Tx/Rx-Slice 的 Mlink PHY 架構。

功率轉換電路和時脈電路

論文 (C3-1) [C0097] 適合伺服器應用的 5 V 至 1 V DC – DC 轉換器封裝整合式 GaN 功率模組

Intel 提出了一種高頻、高密度 (9 A/mm^2) 降壓轉換器，該轉換器具有一個低電壓 GaN 功率電晶體 (FoM 比 Si 高出 5-10 倍)，並整合 CMOS 驅動器 IC，封裝尺寸為 $4\text{mm} \times 4\text{mm}$ 。在 3 MHz 的切換頻率下，該轉換器在 5 V 至 1 V 電壓轉換中可達到 94.2% 的峰值效率。

「採用封裝整合式低電壓 GaN NMOS 功率電晶體、32A 5V 輸入、94.2% 峰值效率的高頻功率轉換模組」，作者：Intel Corporation 的 Nachiket Desai 等人

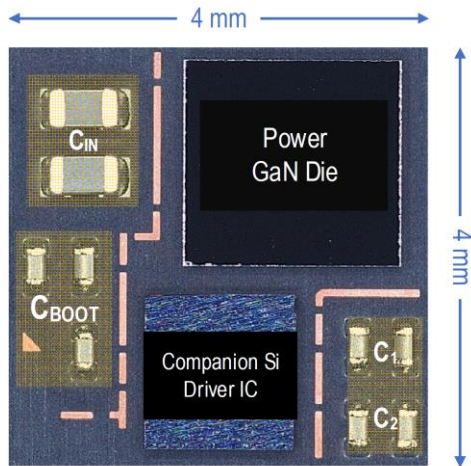
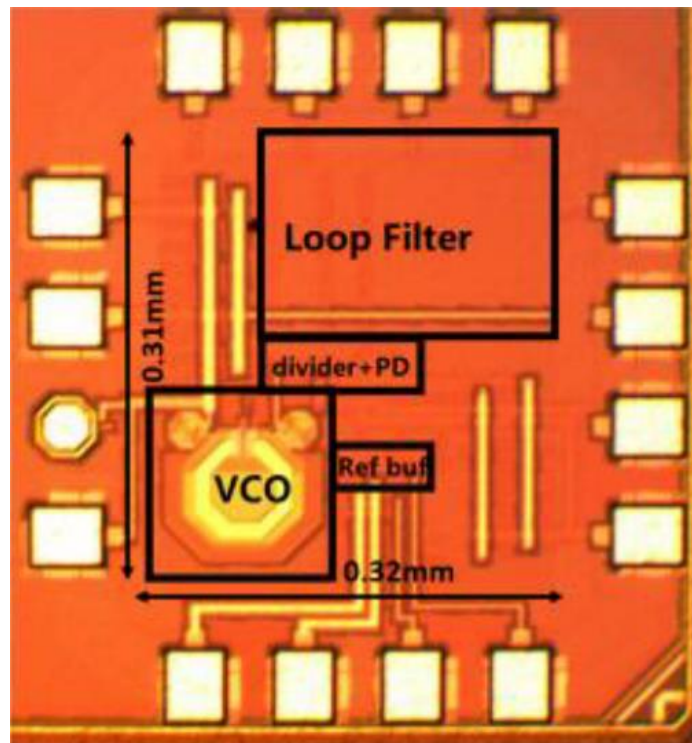


圖 4.2 晶片封裝整合式 GaN 功率模組。

論文 (C18-1) [C0165] 20.3-fs 抖動的 19-GHz PLL

UCLA 研究人員將展示一款採用 28-nm CMOS 技術製程、超低抖動的 PLL。新的重定時方法採用了雙邊採樣技術，原型在 250MHz 參考時脈和 12mW 功耗下實現了 20.3fs 的均方根抖動。

「20.3-fs 抖動的 19-GHz PLL」，作者：UCLA 的 Yu Zhao 和 Behzad Razavi



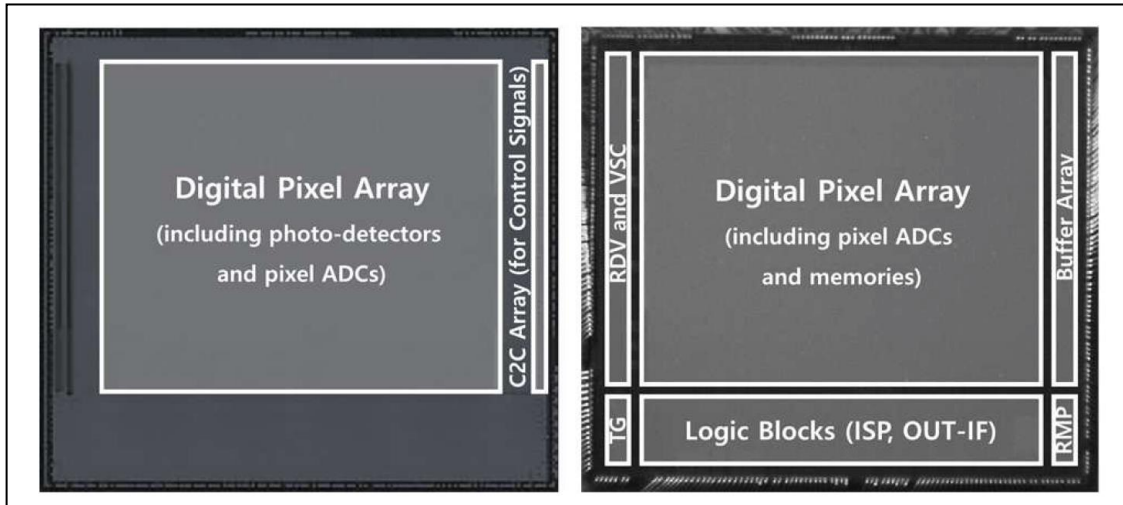
[圖5].超低抖動PLL的晶片顯微圖

感測器與資料轉換器

論文 (JFS4-4) [C0210] 含像素級 ADC 和銅對銅整合的 CMOS 影像感測器

本論文提出了一款先進的 CMOS 影像感測器，此感測器採用整合式 65 nm 感測器和使用銅對銅 (C2C) 互連器整合的 28 nm 邏輯晶片。其採用先進的 DRAM 技術，展現 2.6 e-rms 的低隨機雜訊、影片速率下 116.2 mW 的低功率，以及高達 960 fps 的高速 200 萬像素全域快門型 CMOS 影像感測器 (CIS)。為了實現高效能的全域快門 CIS，團隊提出一種用於數位像素感測器的創新架構，此架構具有出色的全域快門操作 CIS，採用逐像素 ADC 和數位記憶體。每個像素具有兩個用於晶片級堆疊的小間距銅對銅互連器，每個單位像素的間距小於 5 μ m，為同時嵌入像素級 ADC 和 22 位元記憶體的世界最小像素。

「採用像素級 ADC 和像素內記憶體、2.6 e-rms 低隨機雜訊、116.2 mW 低功耗 200 萬像素全域快門的 CMOS 影像感測器」，作者：Samsung Electronics 的 Min-Woong Seo 等人

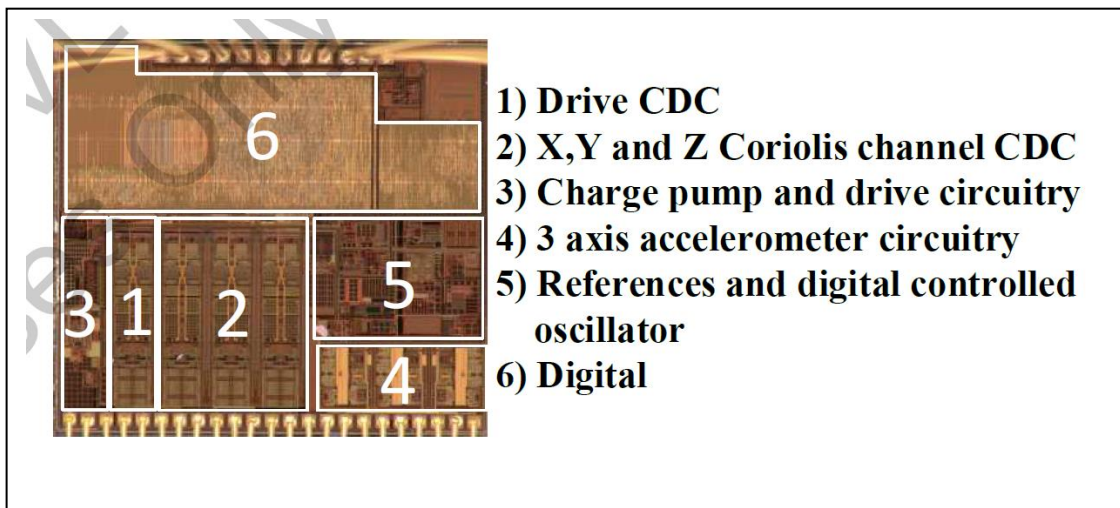


[圖5] 晶片顯微圖(左：上晶片，右：下晶片)

論文 (C19-1) [C0013] 寬範圍陀螺儀前端電路

Robert Bosch 和 Bosch Sensortec 提出了一種陀螺儀前端電路，該電路可感測、放大及數位化來自 3 軸電容感應型陀螺儀感測器裝置的訊號。此專案的重大特點是其寬輸入範圍高達 $\pm 8000 \text{ deg./s}$ ，是現有技術的 4 倍。此晶片在其他方面也展現出堪比的效能，例如 $0.0047 \text{ deg./s}/\sqrt{\text{Hz}}$ 的本底噪聲。

「全刻度範圍 $\pm 8000^\circ/\text{s}$ 、本底噪聲 $0.0047^\circ/\text{s}/\sqrt{\text{Hz}}$ 的直接數位化開路陀螺儀前端」，作者：Robert Bosch 和 Bosch Sensortec 的 Chinwuba Ezekwe 等人



[圖5] 晶片顯微圖(1.94 mm × 1.8 mm)

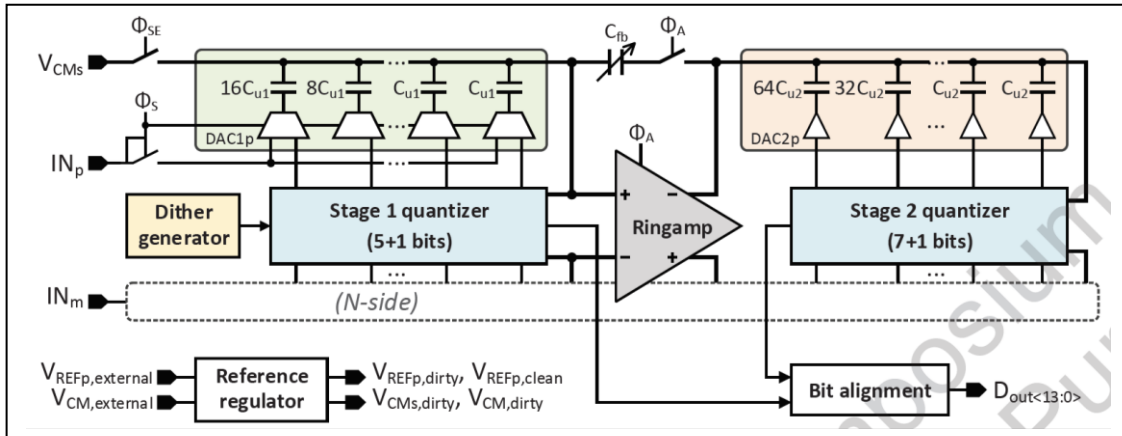
論文 (C15-1) [C0189] 具有背景校準功能的全動態管線 SAR ADC

諸如環形放大器、動態量化器和穩壓器等全動態電路近期協助提升 ADC 的電源效率。今年，Imec 將展出一種單通道全動態管線 SAR ADC，此 ADC 利用環形放大器透過背景校準，確保穩定性及最佳化效能，從而同時實現高頻寬和高功率效率。提案中包含一種創新的動態量化器和窄頻抖動注入，用於實現 DAC 失配、級間增

益和環形放大器偏壓最優性的快速、全面的背景校準。此 ADC 亦包含晶片上寬範圍、全動態參考的調節系統。ADC 在 500 Ms/s 下的功耗為 3.3 mW，可達到 10.0ENOB 和 75.5 dB SFDR，從而產生 6.2 fJ/c.s 的 Walden FoM。

「採用 16nm CMOS、含背景校準和動態參考調節、10.0 ENOB、6.2 fJ/conv.-step、500 MS/s 環形放大器型管線 SAR ADC」，作者：imec 的 J. Lagos 等人

[圖 1] ADC 架構

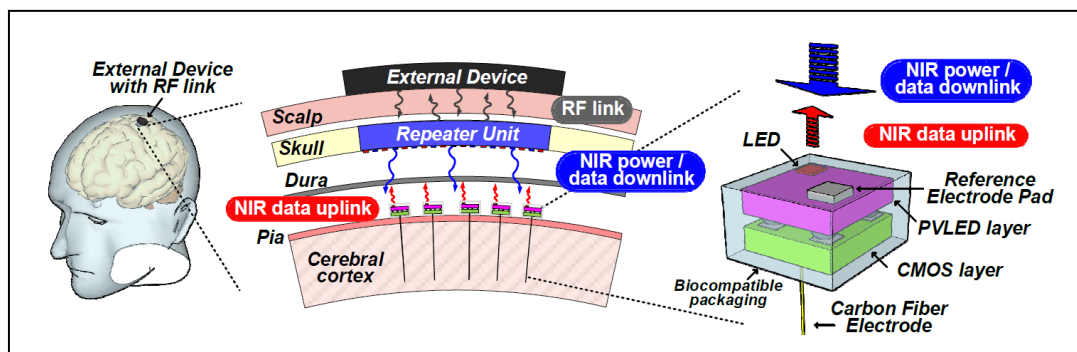


生物醫學電路

論文 (C2-2) [C0174] 無線超小型腦感測器的神經記錄晶片

本論文提出一種電源管理、神經傳感和光訊號傳輸晶片，用於近紅外光的超小型大腦感測裝置。本論文的主要重點在於提高晶片的耐光性。作者實作了一種電路設計，即使 CMOS 晶片封裝受到意外光線照射，也可以保持其功能。作者實現高達 $300 \mu\text{W}/\text{mm}^2$ 光線照射 (超過組織極限) 的充足耐光性， 38°C 下耗電為 $0.57\mu\text{W}$ ，使其擁有獨立微粒中最低的功耗，同時整合晶片上特徵擷取和獨立增益控制。

「用於近紅外光驅動自由浮動微粒的耐光神經記錄 IC」，作者：密西根大學、蘇黎世聯邦理工學院與德拉瓦大學的 Jongyup Lim 等人



[圖 1] NIR 型無線神經記錄微粒概念圖