

2021年 VLSI テクノロジー／回路シンポジウムの技術ハイライト

2021年の VLSI テクノロジー／回路シンポジウムは、半導体集積回路技術の進歩、進展および進化を議論する最難関の国際会議であり、6月13日から19日にかけてバーチャルカンファレンスとして開催されます。2つのシンポジウムはオンライン形式での開催を予定しておりまして、ライブでの発表と事前に録音された発表資料の公開とを組み合わせたセッション構成を計画しています。

シンポジウム全体のテーマは、“**VLSI Systems for Lifestyle Transformation**” 「ライフスタイル変革のための VLSI システム」でありまして、スマートなデバイスとシステムが人々のコミュニケーションのかたちを変え、世の中を変えていく。それを可能にする先端デバイステクノロジーと革新的な回路設計と応用システムが披露され、議論される場となることを期待しています。

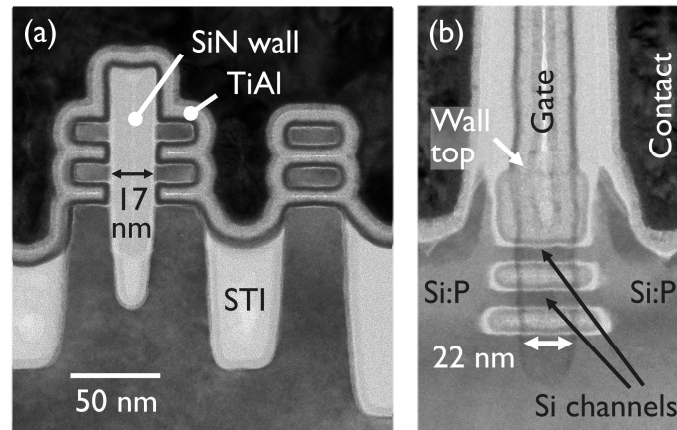
以下に、このテーマに沿ったテクノロジー／回路シンポジウムのハイライト論文を紹介します。

Technology Highlights

Advanced CMOS Technologies

Paper (T2-1) T0030 フォークシート構造の N/P トランジスタ技術

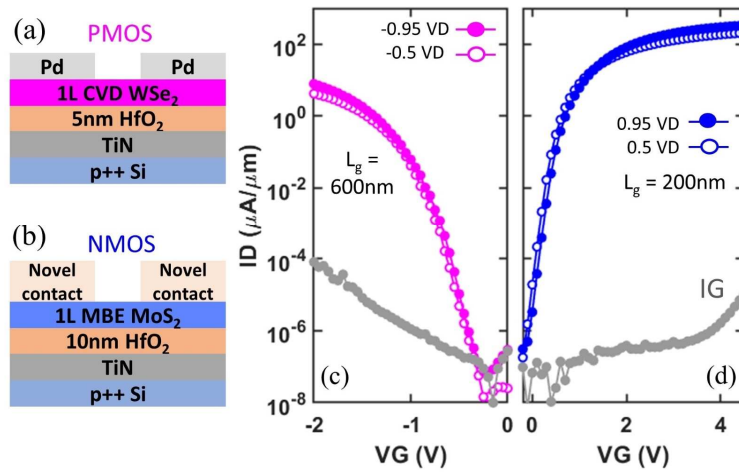
Imec は、ゲートオールアラウンド・ナノシートを利用したフォークシート構造の N/P トランジスタの集積結果を報告します。フォークシート型トランジスタで、ナノシート型と同等のゲート長 22nm まで短チャネル効果が抑制できることを確認しました（サブスレッショルドスイング 66~68mV/dev）。また、チャネル形成後のウェットクリーニングを最適化することにより、ゲート界面のトラップ形成を抑制し、トランジスタのオンオフ特性を改善しました。フォークシート構造を用いることで、従来構造によるスケールアップの難点である Dual work function metal gates の間隔を 17nm まで縮小することに成功しました。



“Forksheets FETs for Advanced CMOS Scaling: Forksheet-Nanosheet Co-Integration and Dual Work Function Metal Gates at 17nm N-P Space”, H. Mertens et al., imec

Paper (T2-3) T0035 2D 材料チャネル MOSFET 技術

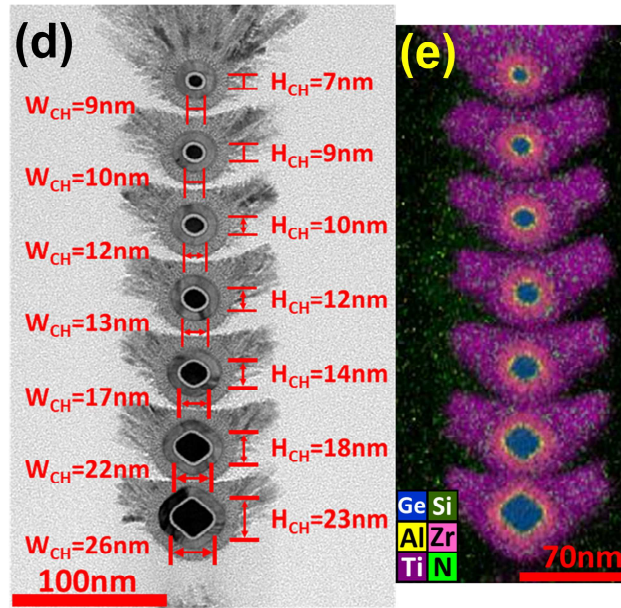
Intel は、2D 材料チャネルが MOSFET トランジスタの究極のスケーリングを可能にし、ムーアの法則に基づく半導体微細化を今後数十年にわたって可能にすることを示す研究成果を報告します。厚さ 1nm 以下の単層 TMD (Transition Metal Dichalcogenide) チャネルを用いて、CVD 法、MBE 法、シード成長などで製造した n および p-MOSFET の動作実証をしました。新しいコンタクトメタルを用い、MBE 法で形成した MoS_2 チャネル NMOS デバイスは、ばらつきが少なく、既報では低いコンタクト抵抗 (R_c) $0.4 \text{ k}\Omega\cdot\mu\text{m}$ 、小さいヒステリシス、 77 mV/dec の良好なサブスレッショルドスロープ (SS) 値を得ました。CVD 法で形成した WSe_2 チャネル PMOS デバイスでは CVD 膜を用いた素子として最も良好な SS 値 89 mV/dec が得られた一方、オン電流は NMOS に及ばないことも分かりました。転写が不要な選択成長 WS_2 膜を用いたトランジスタでは、シード成長を用いた WS_2 チャネルを用いたものとして最高のオン電流 $10 \mu\text{A}/\mu\text{m}$ を達成しました。



“Advancing Monolayer 2D NMOS and PMOS Transistor Integration From Growth to van der Waals Interface Engineering for Ultimate CMOS Scaling”, C. J. Dorow et al., Intel Corporation

Paper (T15-2) T0039 積層 GeSi ナノシート・ナノワイヤートランジスタ

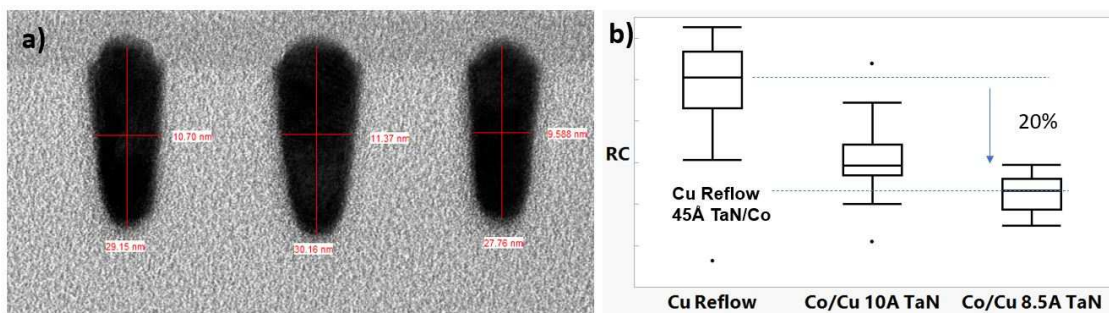
国立台湾大学の研究チームは、8層 $\text{Ge}_{0.75}\text{Si}_{0.25}$ ナノシート構造と、7層 $\text{Ge}_{0.95}\text{Si}_{0.05}$ ナノワイヤー構造を H_2O_2 ウェットエッチングで実現しました。8層 $\text{Ge}_{0.75}\text{Si}_{0.25}$ は高いチャンネル間均一性を示しています。 L_4 valley における小さな輸送有効質量 (m_t) と大きな状態密度有効質量 (m_{DOS})、そして低い $R_{\text{S/D}}/R_{\text{total}}$ による、7層 $\text{Ge}_{0.95}\text{Si}_{0.05}$ の高い性能を実証しました。 $V_{\text{OV}}=V_{\text{DS}}=0.5\text{V}$ において一層あたり $I_{\text{ON}}=110\mu\text{A}$ (チャンネルフットプリントあたり $4100\mu\text{A}/\mu\text{m}$) の記録と、 $V_{\text{DS}}=0.5\text{V}$ での高い $G_{\text{m,max}}=340\mu\text{S}$ ($13000\mu\text{S}/\mu\text{m}$) が Ge/GeSi 3D nFETs で得られています。



“First Highly Stacked $Ge_{0.95}Si_{0.05}$ nGAAFETs with Record $I_{ON} = 110 \mu A$ ($4100 \mu A/\mu m$) at $V_{OV}=V_{DS}=0.5V$ and High $G_{m,max} = 340 \mu S$ ($13000 \mu S/\mu m$) at $V_{DS}=0.5V$ by Wet Etching”, Yi-Chun Liu et al., National Taiwan University

Paper (T5-2) T0107 二種金属配合のダマシン配線技術

IBM Research は、デュアルダマシン(DD)を用いた配線接続工程の集積化が 28 nm ピッチ以下まで微細化できることを報告します。2つの新しいプロセスフローとして、(1)信頼性を損なうことなくビア抵抗を低減できるように TaN バリア膜の選択成膜を適用した Cu 系ダマシン接続技術、(2)微細配線と幅広配線の性能向上のために金属材料技術を駆使した革新的な二種金属配線構造(dual metallization scheme)技術、を開発しました。これらのプロセス技術上の革新によって、ビア、信号線および電力線の抵抗を大幅に改善します。ハイ・パフォーマンス・コンピューティング(HPC)用途では、高アスペクト比の電源レールに二種金属配線(dual metallurgy)を用いることで最高性能を提供します。

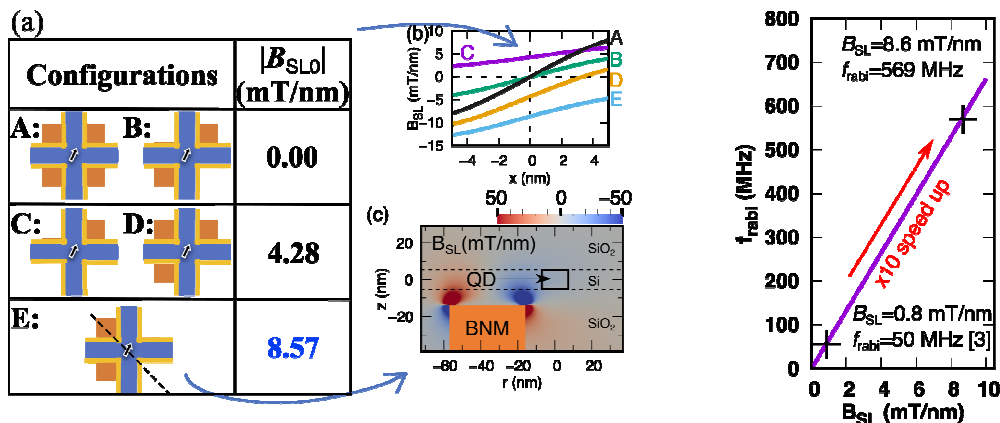


Fig's. (a) TEM image of 10nm wide Co interconnects (b) RC comparison between Co (10 Å / 8.5 Å TaN) and Cu with 4.5 nm TaN/Co.

Dual Damascene BEOL Extendibility With Cu Reflow / Selective TaN And Co/Cu Composite”, P. Bhosale et al., IBM Research

Quantum Computing

Paper (JFS5-5) T0150 シリコン量子ビット向け埋め込み型微小磁性体の集積
産業技術総合研究所は、埋め込み型電源配線技術に着想を得て、高速かつ低ばらつきなシリコンスピン量子ビット動作を実現する埋め込み型微小磁石の集積方法を初めて提案します。スピン量子ビットの極近傍に埋め込まれた微小磁石が生み出す大きな傾斜磁場により、高速な量子ゲート操作を実現し、かつ、自己整合製造プロセスを用いることで傾斜磁場のばらつきに起因する量子ゲート操作の忠実度ばらつきを抑制します。TCADに基づくシミュレーションを実施し、先行研究と比較して約 10 倍速いラビ振動(高速スピン反転)と、一定のプロセスのばらつきの条件下で 99%以上の忠実度を実現可能であることがわかりました。本提案の微小磁石集積方法は、2次元格子配置を用いた誤り訂正可能な大規模集積量子コンピュータに実装可能であり、シリコンを用いた実用的な大規模集積量子コンピュータへの道を切り開くものと期待されます。

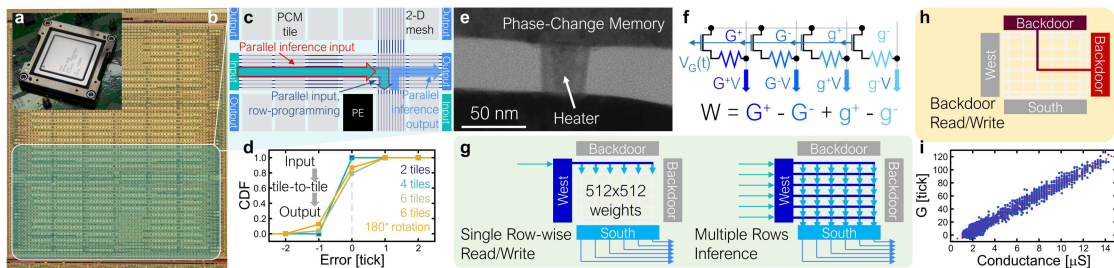


“Buried nanomagnet realizing high-speed/low-variability silicon spin qubits: implementable in error-correctable large-scale quantum computers”, S. Iizuka et al., AIST

Devices for Artificial Intelligence / Machine Learning

Paper (T13-3) T0077 14nm プロセスで PCM を使った DNN ハードウェア実装
IBM Research は、14nm プロセス技術で試作したクロスバー型相変化メモリ (PCM) のテストチップについて報告します。このチップでは PCM はアナログ抵抗素子 (ARES) として用いられ、クロスバー型 PCM アレイのタイルが複数配列されてメッシュを形成し、各タイルは 512×512 の重み係数行列を表現し並列積和演算を行います。深層ニューラルネ

ネットワーク(DNN)内の活性化信号は二次元メッシュ上を、パルス幅変調方式でタイルからデジタルデータの I/O を担う Landing Pad(LP)まで伝搬します。誤差を 3%未満に抑える正確な重み係数の書き込みのため行ごとの書き込み方式を採用し、4つの PCM デバイスにアナログの重み係数を効率的に書き込みます。本 ARES チップを用いてソフトウェア実装とほぼ同じ認識精度をもつ 2 つの DNN のハードウェア実装を行い、1 つ目は ARES チップ内で信号がタイル間伝搬する 2 層のネットワークによる画像認識、2 つ目は ARES チップとオフチップの活性化関数回路を組み合わせた再帰型長短期メモリ(LSTM)ネットワークによる誤差信号の伝搬に対する安定性を確認しました。

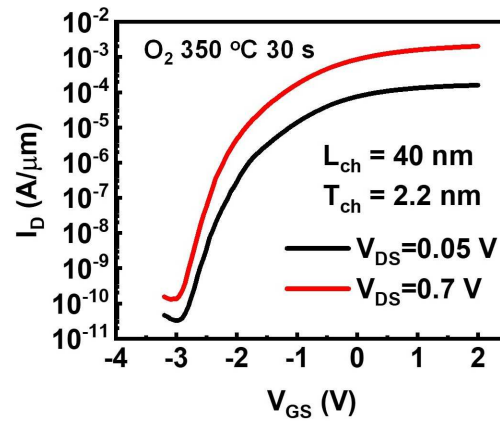


“Fully on-chip MAC at 14nm enabled by accurate row-wise programming of PCM-based weights and parallel vector-transport in duration-format”, P. Narayanan et al., IBM

3D Heterogeneous Integration, Non-Silicon Substrates/materials and Devices

Paper (T2-4) T0011 高移動度 In₂O₃ 酸化物トランジスタ技術

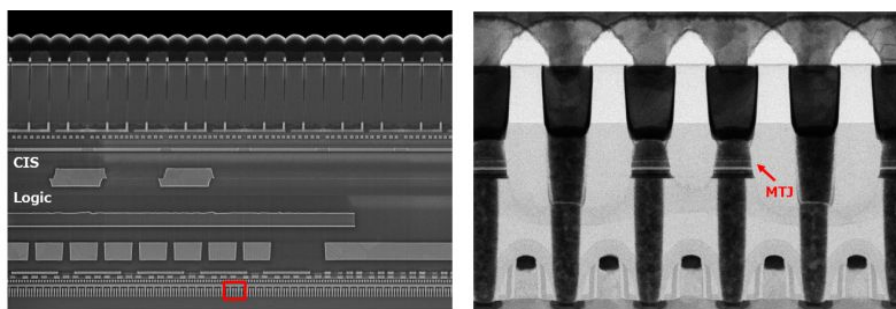
Purdue 大学より、初めて実現された、BEOL 工程に適用可能かつ ALD で成膜された In₂O₃ チャンネルを備えた 3D Fin 構造トランジスタとその集積回路について報告いたします。まず In₂O₃ チャンネル平面構造トランジスタにおいて、チャンネル膜厚制御ならびに成膜後のアニール技術により 113 cm²/V の高いチャンネル移動度と、2.5 mA/μm の高いドレイン電流を実現しました。この ALD In₂O₃ を用いて、最小駆動電圧(V_{DD}) 0.5 V、最大電圧ゲイン 38 V/V のゼロゲートバイアス印加インバータを実現しました。また ALD の均一な成膜特性を用いて、3D Fin 構造トランジスタも実現しました。これらの成果により、ALD で成膜した酸化物半導体デバイスが優れた性能を持ち、BEOL 工程に適用可能な 3 次元一体形成型集積回路を実現するための有望な技術である事を示します。



“First Demonstration of Atomic-Layer-Deposited BEOL-Compatible In_2O_3 3D Fin Transistors and Integrated Circuits: High Mobility of $113 \text{ cm}^2/\text{V}\cdot\text{s}$, Maximum Drain Current of $2.5 \text{ mA}/\mu\text{m}$ and Maximum Voltage Gain of $38 \text{ V}/\text{V}$ in In_2O_3 Inverter”, Mengwei Si et al, Purdue University

Paper (T2-5) T0142 積層型 CMOS イメージセンサに適用可能な混載 STT-MRAM 技術

ソニーは、世界初の積層型 CMOS イメージセンサに適用可能な 40nm embedded STTMRAM (Spin-Torque-Transfer Magnetic Random Access Memory)について発表します。CoFeB ベースの縦型磁気トンネルジャンクション(p-MTJ)の最適化により、ウェハ積層プロセスによって引き起こされる磁気特性の劣化を抑制することに成功しました。プロセス改善により、 -30°C における 40ns 以下の高速書き込み、 105°C における 10^{10} 回以上の書き換え耐性、そして 85°C における 1 秒以上のデータ保持を達成しました。さらに、embedded MRAM (eMRAM)の用途拡大のため、不揮発性メモリと eMRAM を同一チップに混載する融合技術を提案します。この融合技術により、データ保持時間 1 秒~10 年以上が 1 チップで達成されます。



“3D stacked CIS compatible 40nm embedded STT-MRAM for buffer memory”, M. Oka et al., Sony Semiconductor

Paper (JFS2-6) T0046 n-TSV と裏面配線技術で実現するロジック向け裏面電源ネットワーク技術

Imec は、低温 (LT) でのウェハ・ウェハ (W2W) 接合の後、極端なウェハ薄化 (STI 酸化膜下の Si 厚さを 370nm から 20nm まで薄化) と、ウェハ厚さに連動した様々な高さの W 充填ナノ TSV (n-TSV) によって可能になった裏面接続の Si チャネル FinFET ($L_{gate} > 20\text{nm}$ 、フィンピッチ 45nm) を報告します。この方式は、信号と電源のネットワークを分離することを目的として、電源ネットワークをウェハ裏面に移動することで、IR ドロップの低減が期待できます。3D プロセスがデバイスの特性に与える影響を詳細に評価した結果、1) nmos の移動度と駆動電流の向上 (最大 15%)、2) pmos の駆動電流ロス減少 (~3~10%) と大きな R_{ext} 、3) $\Delta V_T \sim 130\text{mV}$ は、最後に追加のアニールを行うことで回復可能であり、ばらつきとマッチングを厳密に制御可能、等の知見が得られました。また、BTI の劣化は見られず、最終アニールの選択が静電容量や信頼性の向上に有効であることもわかりました。

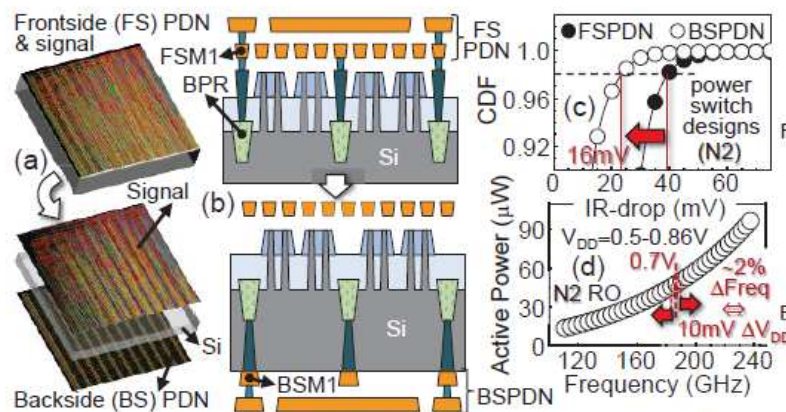


Fig.1 – a,b) Illustration of the concept to move power delivery networks (PDN) to the backside of thinned wafers using n-TSVs and BPR technology. Smaller IR-drop values are predicted for this configuration (c) leading to enhanced system performance (d).

“Enabling Logic with Backside Connectivity via n-TSVs and its Potential as a Scaling Booster”, A. Veloso et al., imec

Memory Technology

Paper (T11-3) T0071 SST アシストを使った SOT-MTJ の動作実証

台湾半導体研究センターは、CMOS コンパチブルで 400°C の耐熱性を持つ 42nm サイズの垂直スピン軌道トルク磁気トンネル接合 (p-SOT-MTJ) デバイスを報告します。界面特性を改善した合成反強磁性層 (SAF) と改善されたイオンビームエッチング (IBE) 技術により、初めて 130% というトンネル磁気抵抗比 (TMR) を実現しました。これまで報告された中では最も高い 440°C という耐熱性を持つ SAF になります。SAF 磁界とコバルト

(Co)/白金 (Pt)の多層レイヤ (ML) とリファレンス層との磁気結合は、磁気結合された面心立方方位構造(fcc)の組織構造を持つ多層膜 (MCFTM) バッファーにより強化されています。TaN/W と Ta/W の組み合わせからなる SOT チャネルは β -W の厚さ限界 ($< \sim 5\text{nm}$) を打ち破り、MTJ のエッチングウィンドウを拡大します。さらに、TaN/W チャネルは ~ -0.27 という大きな実効スピホール角度を示します。スピン注入トルク (STT)アシストにより、外部補助磁界なしで確定的な SOT 書き込みが実現されています。

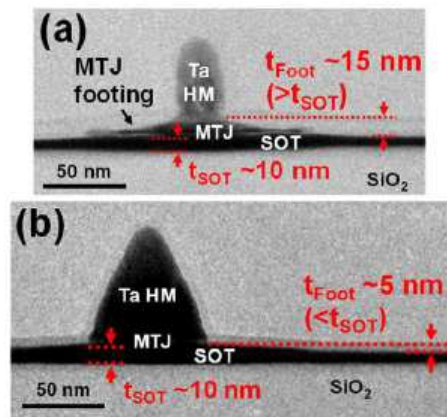


Fig. 10 TEM of p-SOT-MTJ after IBE (a) process I and (b) process II. Process II including 20° Ar etch (angle between out-of-plane axis) can reduce t_{Foot} less than t_{SOT} .

“First Demonstration of Interface-Enhanced SAF Enabling 400oC-Robust 42 nm p-SOT-MTJ Cells with STT-Assisted Field-Free Switching and Composite Channels”, Ya-Jui Tsou et al., TSRI

Paper (T6-3) T0052 強誘電体 HfZrO の書換疲労とリカバリーの評価

TSMC は、様々な電界ストレス下での SILC (ストレス誘起リーク電流) 測定に基づいた、HfZrO 強誘電体キャパシタの分極疲労の調査結果について報告します。高電界ストレス下では分極の発現と SILC の増加には強い相関関係があり、これは HfZrO 膜中で酸素空孔の再分布や上下電極間での percolation path (浸透経路) の形成に起因し、特に高周波サイクル時に生じます。一方、低電界ストレス下での分極疲労は SILC を増加させることなく発生しており、これは P-E loop (分極-電界の履歴曲線) 測定や TEM / PED (プリセッション電子回折) による材料分析により、電荷トラッピングが主な要因であることが明らかになりました。発表では、低電界ストレスで発生する分極疲労を高電界ストレスの短周期サイクルを定期的に入れ込むことで電荷トラッピングや酸素空孔のコントロールにより効果的に回復させ、室温で分極による書換耐性を SILC 劣化なしで、 10^{12} 回以上に改善した結果を紹介します。

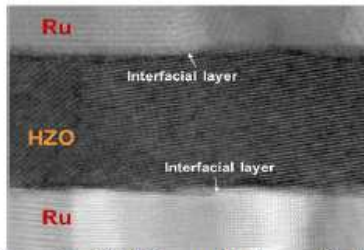


Fig. 6 TEM analysis of the Ru/HZO/Ru MFM capacitor shows a very thin interfacial layer (<1nm) formation between the 10nm HZO and metal electrodes at the top and bottom interface.

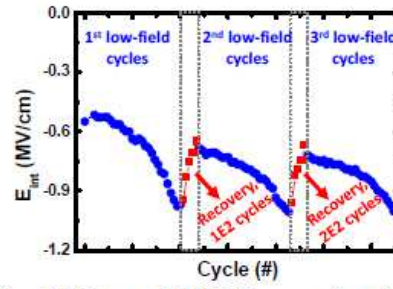


Fig. 17 Internal field E_{int} as a function of cycling shows a recoverable imprint due to de-trapping process by high-field recovery pulse after each low-field cycling loop.

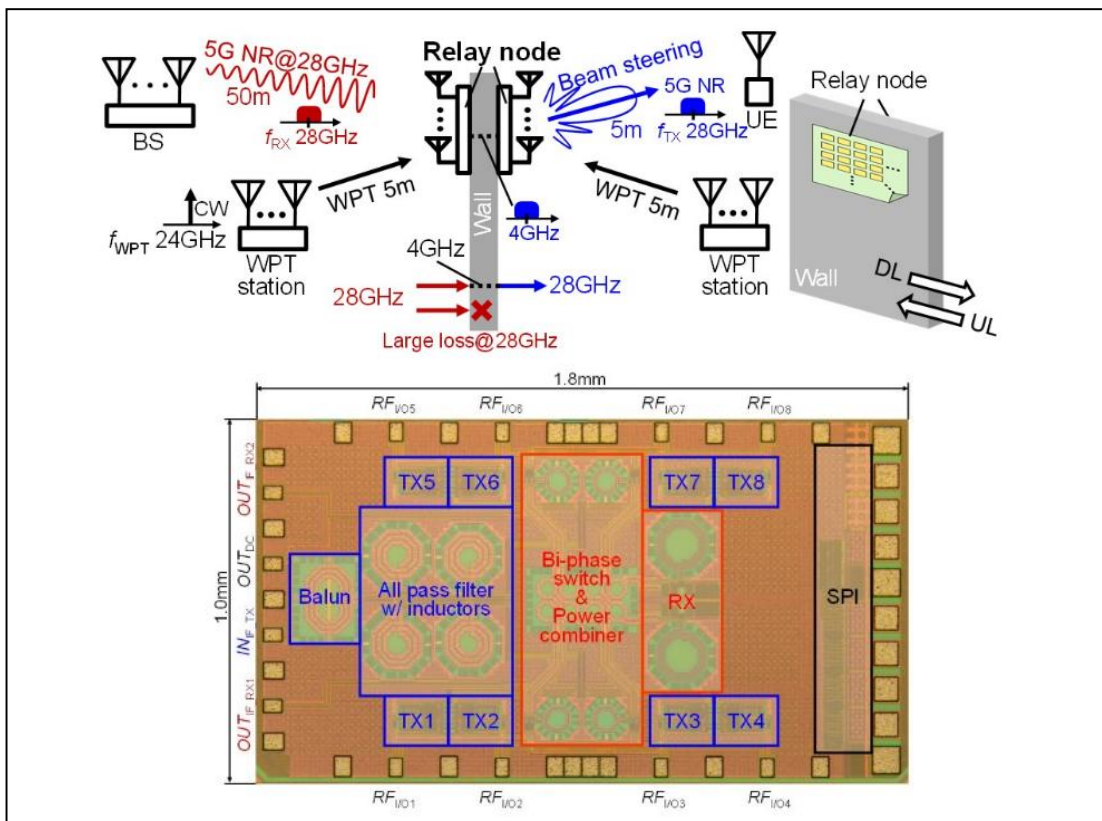
Circuit Highlights

5G Transceivers

Paper C11-1: 5G 中継用 28GHz 帯バッテリーレス無線機

5Gでは、従来より用いられてきた6GHz以下の低い周波数帯にあわせて、ミリ波を用いることが一つの大きな特徴になっています。ミリ波は強い指向性を持ち、また、伝搬距離も限られることから、基地局一台当たりでカバーできる通信範囲が狭くなる問題がありました。東京工業大学は、中継基地局を多数配置することで5Gの通信範囲と通信容量を拡大するバッテリーレス中継無線機技術を発表します。24GHz帯無線電力伝送を併用することで、バッテリーレスで5G規格準拠の無線通信に成功しています。

“A 28-GHz Phased-Array Relay Transceiver for 5G Network Using Vector-Summing Backscatter with 24-GHz Wireless Power and LO Transfer,” Michihiro Ide, et al., Tokyo Institute of Technology



[Fig. 1& 5] 28GHz 帯フェーズドアレイ中継無線機

Photonics interconnect and compute

Paper JFS3-4: シリコンフォトニクスマイクロリング変調器を用いた 4 x 112Gb/s WDM 対応の送信機

Intel は、400G イーサネットモジュール、及び、Co-Packaged Optics に対応した $4\lambda \times 112\text{Gb/s}/\lambda$ の波長分割多重(WDM)送信機を報告します。フォトニック IC(PIC)には、ヒータ付きのマイクロリング変調器(MRM)が実装されています。また、28nm CMOS 電子 IC(EIC)には、非線形 FFE を備えた PAM4 MRM 駆動回路と、プロセスや温度変動に対して、PIC のヒータ温度をコントロールすることで MRM 共振波長を安定化させ、高速な WDM の送信波形を実現する制御回路が実装されています。著者は、O バンドにおけるリング変調器を用いた WDM 送信機として、最高速であると主張しています。

“Silicon Photonic Micro-Ring Modulator-based 4 x 112 Gb/s O-band WDM Transmitter with Ring Photocurrent-based Thermal Control in 28nm CMOS,” Jahnvi Sharma, et al., Intel Corporation

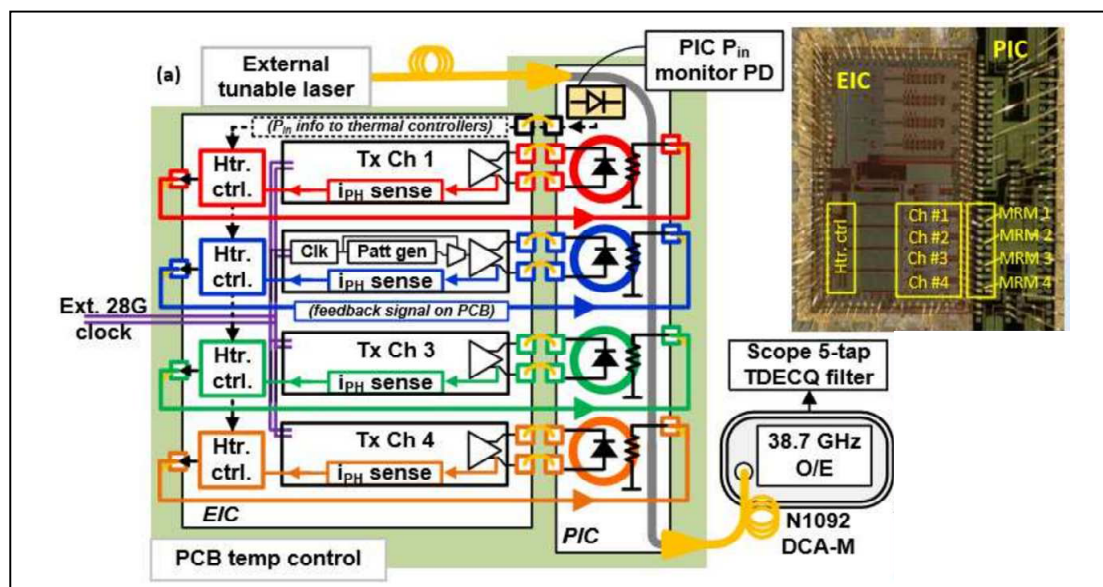


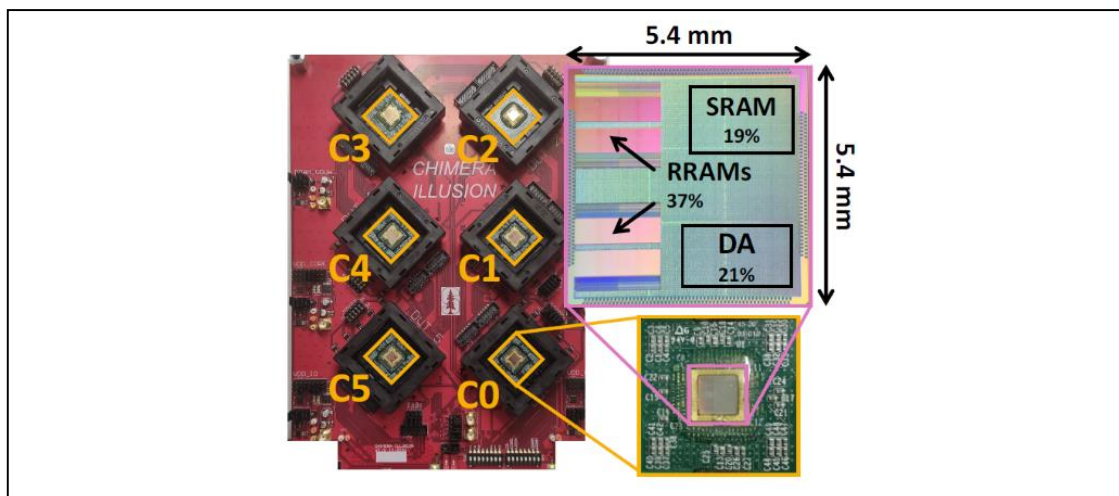
Fig. 1(a) O バンド WDM 対応シリコンフォトニック送信機の構成とチップ写真

Artificial Intelligence, Machine Learning

Paper CFS1-2: マルチダイ・スケーラブル・プロセッサの RRAM を活用したエッジ用ディープ・ニューラル・ネットワーク・アクセラレータ

スタンフォード大学と TSMC は、CHIMERA と名付けられたエッジ AI アクセラレータを発表します。このアクセラレータは、推論とインクリメンタル学習をターゲットとしています。CHIMERA は、不揮発性の抵抗性メモリ（RRAM）を統合し、その特性をチップ間リンクによるマルチダイ・スケーラブル・アプローチで利用しています。著者らは、6つのチップ（C0～C5）を接続することで、6倍の規模の DNN に推論をスケールアップしています。各チップは、それぞれの計算が終了すると電源を切ります。重みメモリは不揮発性であるため、ウェイクアップは $33\mu\text{s}$ と高速で、使用していないときは完全なパワーダウンが可能です。また、重みの更新を最小限に抑えるトレーニングアルゴリズムを採用し、RRAM の耐久性、書き込みエネルギー、レイテンシーといった課題にも取り組んでいます。このチップは、40nm プロセスで製造され、1チップあたり 0.92TOPS、エネルギー効率 2.2TOPS/W を達成しています。

“CHIMERA: A 0.92 TOPS, 2.2 TOPS/W Edge AI Accelerator with 2 MByte On-Chip Foundry Resistive RAM for Efficient Training and Inference,” Massimo Giordano, et al., Stanford University & TSMC



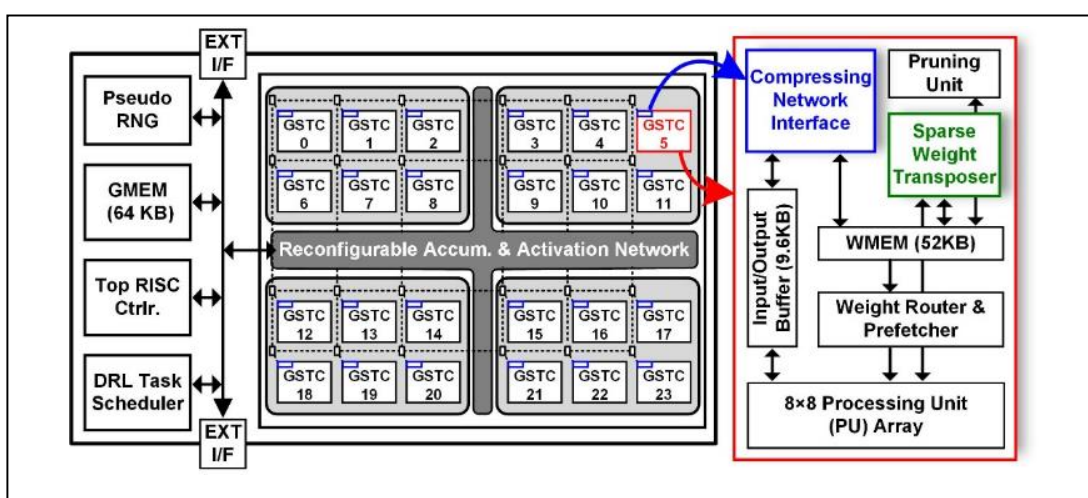
[Fig. 14] システム・プリント基板の概観とダイ写真

Paper CFS1-3: トレーニングを加速するエネルギー効率に優れた深層強化学習 (DRL) プロセッサ

KAIST の研究者らは、トレーニングタスクを高速化するために、高性能でエネルギー効率の高い深層強化学習（DRL）プロセッサ「OmniDRL」を発表しました。OmniDRL は、複数（24 個）のグループ・スパース・トレーニング・コア（GSTC）を備えており、プ

ルーニングとブロック・サーキュラント・ベースの重みグルーピングを利用することで、トレーニング速度を2倍に向上させました。さらに、DRLでは、圧縮ネットワークインターフェース（CNI）に指数平均デルタエンコーディング（EMDE）を採用し、指数圧縮率の向上（1.6倍）とメモリアクセス電力の削減（23.3%）を実現しました。さらに、スパース・ウェイト・トランスポザー（SWT）を搭載することで、圧縮された重みの転置をオンチップで行い、外部メモリへのアクセスを低減しています。このプロセッサは28nm CMOSで製造され、ピーク時の性能は4.18TFLOPS、ピーク時のエネルギー効率率は29.3TFLOPS/Wを達成しました。

“OmniDRL: A 29.3 TFLOPS/W Deep Reinforcement Learning Processor with Dual-mode Weight Compression and On-chip Sparse Weight Transposer,” Juhyoung Lee, et al., KAIST



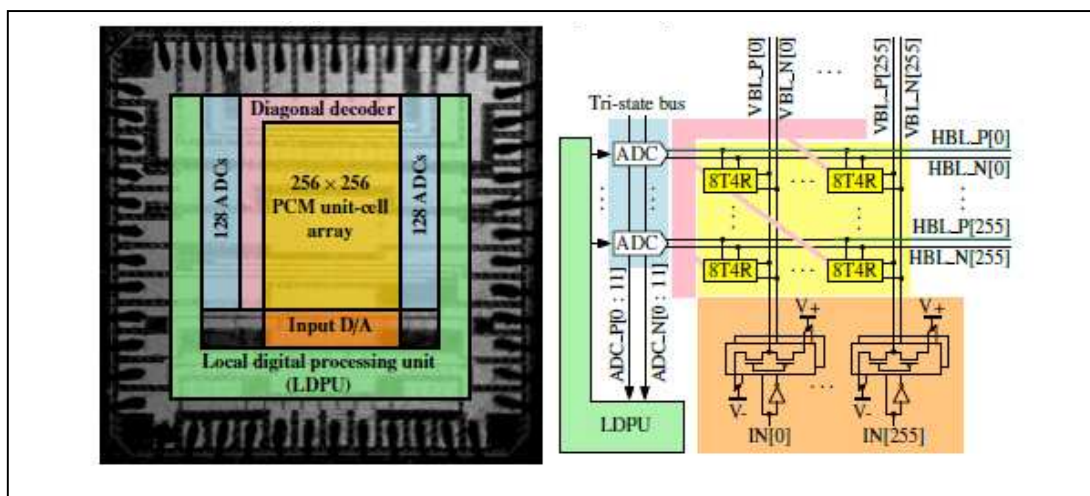
[Fig. 2] DRL プロセッサ概要 (24 group sparse training cores (GSTC), compressing network interface (CNI), sparse weight transposer (SWT) modules)

In-memory Computing

Paper JFS2-5: 線形 CCO を用いた AD 変換器アレイおよびデジタル処理部を搭載した相変化メモリに基づくインメモリコンピューティングコア

IBM は 14nm 製造プロセスによる相変化メモリ (PCM) を利用した 256x256 アレイ構成を持つインメモリコンピューティングコアについて発表します。コアユニットには線形電流制御型発振器 (Linearized CCO) を用いることで 4um 間隔に配置可能な 256 台の AD 変換器および、ディープラーニングに用いられるアフィンスケーリングと ReLU 演算を実行可能なデジタル処理部を搭載しています。新規技術として 1GHz まで動作可能な線形周波数変換回路を用いることで、高精度な行列ベクトル乗算を実現しています。2つのコンピューティングコアを結合することで、MNIST および CIFAR-10 データセットを用いた推論処理を実証し、エネルギー効率として 10.5 TOPS/W、面積性能として 1.59 TOPS/mm² を達成しています。

“HERMES Core - A 14nm CMOS and PCM-based In-Memory Compute Core using an array of 300ps/LSB Linearized CCO-based ADCs and local digital processing,” R. Khaddam-Aljameh, et al., IBM Research Europe & IBM Research, Albany & IBM Systems and Technology & IBM T. J. Watson Research Center



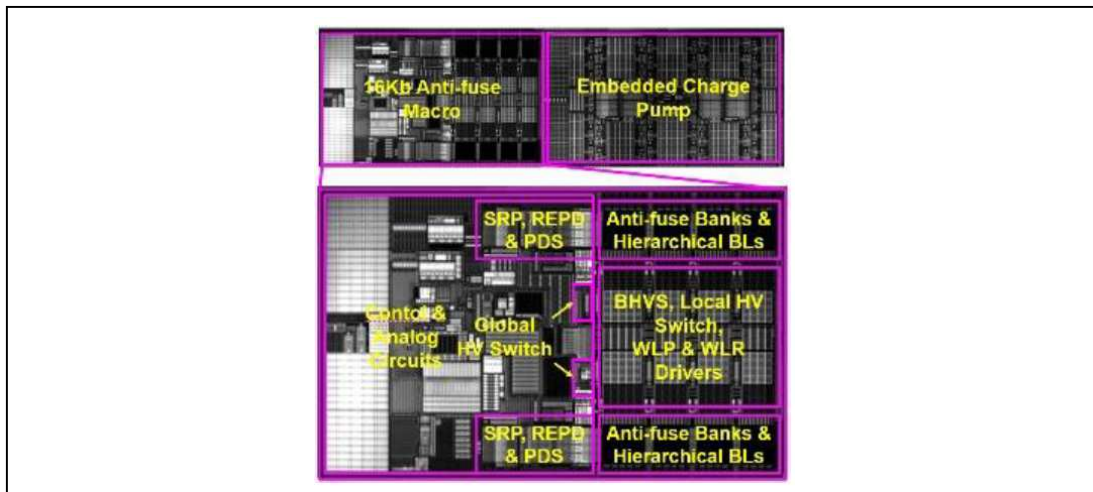
[Fig. 1.] チップダイ写真およびシステム概略図

Memory Technology

Paper C16-1: 5nm High-k メタルゲート FEFET 製造プロセスによるアンチフューズ型 16Kb ワンタイムメモリ

TSMC は世界初の 5nm High-k メタルゲート FinFET 製造プロセス向けのアンチフューズ型 16Kb ワンタイムメモリ (OTP) を発表します。ブートストラップ型の高電圧生成技術 (Bootstrap High Voltage Scheme: BHVS)、書き込みエンドポイント検出 (Read Endpoint Detection; REPD)、疑似差動読み出し (Pseudo-Differential Sensing; PDS) を実装することにより、SoC の出荷後プログラミングにおいて 1ppb 以下のエラーレートおよび、125°C環境下で 10 年間のデータ保持を実証しました。

“A 16Kb Antifuse One-Time-Programmable Memory in 5nm High-K Metal-Gate FinFET CMOS Featuring Bootstrap High Voltage Scheme, Read Endpoint Detection and Pseudo-Differential Sensing,” Shaun Chou, et al., TSMC



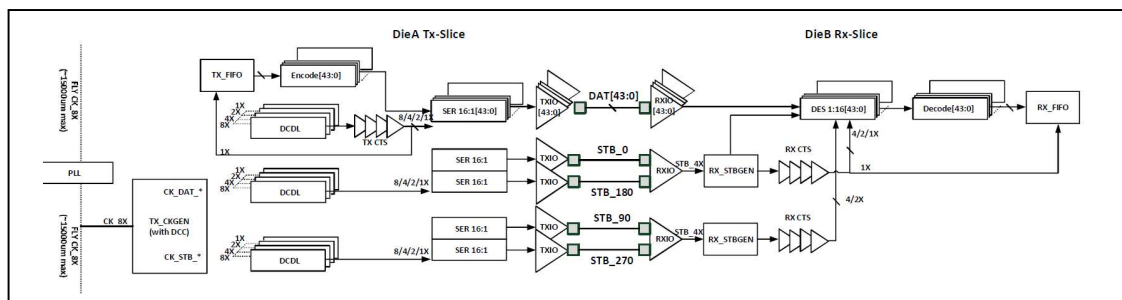
[Fig. 14] チップダイ写真

Advanced Heterogeneous /3D Integration

Paper JFS1-3: 異なる種類のチップ集積のための高密度、低電力、7nmCMOS チップ間通信技術

本論文は、高密度、低エラー率、低電力の超短距離(USR:ultra-short-reach)チップ間通信のための Mlink(MediaTek リンク)の物理層を提案します。提案する Mlink は TSMC の 7nm FinFET ポリシリコン 1 層メタル 15 層 CMOS プロセスで製造されています。チップ間の物理的接続は TSMC の CoWoS (Chip-on-Wafer-on-Substrate)及び InFO (Integrated Fan-Out)パッケージング技術を用いて実現されています。Mlink の物理層は、終端なしシングルエンドの 1/4 レートストロープとアンバランススキーム採用したトランシーバ、タイミングのずれが本質的に最小となる自動アライメント技術、ノイズ耐性の高いコーディング技術、を採用し高エネルギー効率、高性能なシステムとなっています。1mm の短距離通信時に、信号配線 1 本あたり 20Gb/s で 0.46pJ/bit を達成し、エラーレートは 10 のマイナス 25 乗を目指しています。信号幅の密度は、単位長さあたりでは 5.31Tb/s/mm、単位面積あたりでは 2.25Tb/s/mm² となっています。

“A 7nm 0.46pJ/bit 20Gbps with BER 1E-25 Die-to-Die Link Using Minimum Intrinsic Auto Alignment and Noise-Immunity Encode,” Ying-Yu Hsu, et al., MediaTek Inc



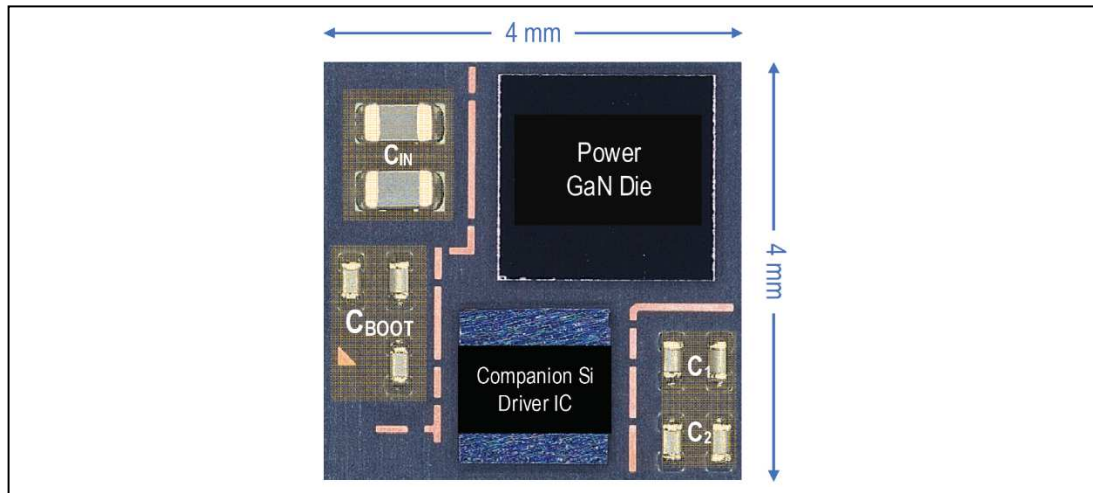
[Fig. 1] Mlink PHY アーキテクチャ (単方向 1 ペア Tx/Rx スライス).

Power Conversion Circuits & Clock Circuits

Paper C3-1: サーバ応用向け 5V 入力 1V 出力 DC-DC コンバータをパッケージ内に集積した GaN パワーモジュール

インテルは、シリコンのトランジスタよりも 5-10 倍優れた性能の低電圧 GaN パワートランジスタと CMOS ドライバ IC を 4mm x 4mm のパッケージ内に集積した高周波・高電流密度(9 A/mm²)のバックコンバータを提案します。スイッチング周波数 3 MHz、5V 入力 1V 出力の動作において、コンバータの最大電力変換効率は 94.2 %を達成しました。

“A 32A 5V-Input, 94.2% Peak Efficiency High-Frequency Power Converter Module Featuring Package-Integrated Low-Voltage GaN NMOS Power Transistors,” Nachiket Desai, et al., Intel Corporation

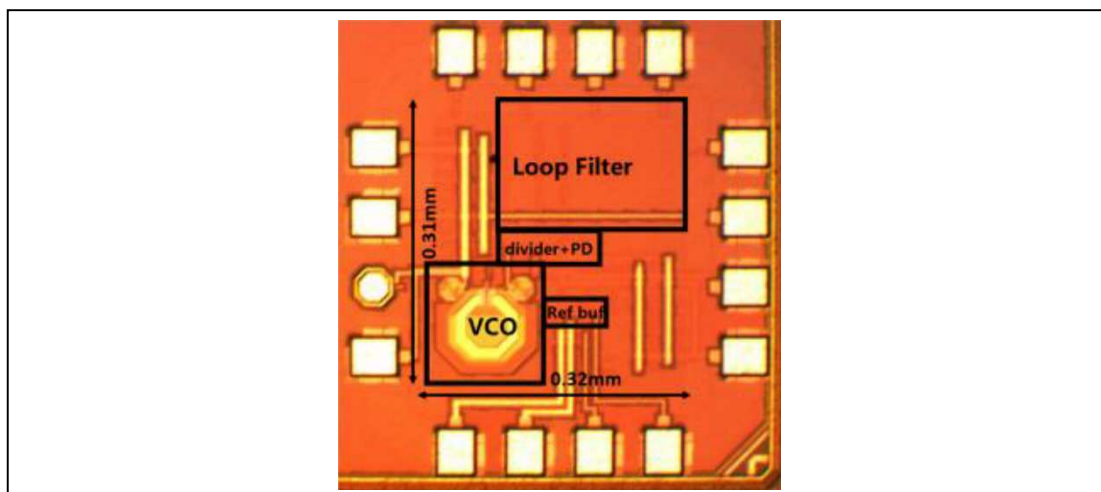


[Fig. 4.2] ダイパッケージ化された GaN パワーモジュール.

Paper C18-1: 20.3fs ジッタを実現する 19GHz 帯 PLL

UCLA は 28nm CMOS 技術で作成した超低ジッタ PLL を発表します。両エッジサンプリング技術とタイミング制御技術を組み合わせることで、20.3fs のジッタ性能を実現しています。250MHz の入力基準周波数に対して、12mW の消費電力で 19GHz の発振周波数の出力を可能とします。

“A 19-GHz PLL with 20.3-fs Jitter,” Yu Zhao and Behzad Razavi, UCLA



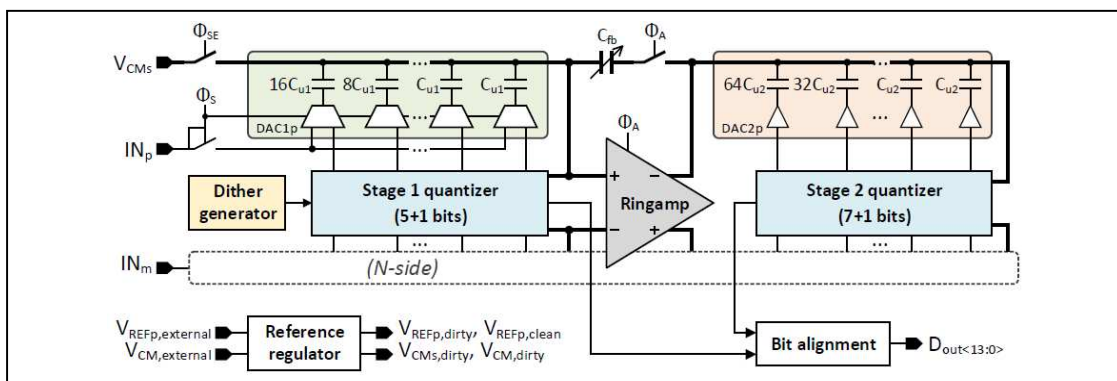
[Fig. 5] 超低ジッタ PLL のダイ写真

Sensor and Data Converters

Paper C15-1: バックグラウンド校正機能付き完全ダイナミック動作パイプライン型 SAR ADC

近年の ADC の電力効率向上は、リングアンプやダイナミック量子化器およびダイナミックレギュレータなどの完全にダイナミック動作する回路によって進展してきました。本年は、Imec が、リングアンプの採用により高い帯域幅と電力効率を両立しつつ、バックグラウンド校正によりロバスト性を担保し性能を最適化した単一チャンネルの完全ダイナミック動作パイプライン型 SAR ADC が報告します。DAC のミスマッチ、ステージ間ゲイン誤差、リングアンプのバイアス最適化に高速かつ広範囲に対応するバックグラウンド校正の実現のために、新規のダイナミック量子化器と狭帯域のディザ注入が提案されました。さらに、提案された ADC は広いレンジで完全ダイナミック動作する基準電圧レギュレーションシステムをオンチップ搭載しています。ADC の 500MS/s 動作時の消費電力は 3.3mW であり、10.0 ビットの有効分解能と 75.5dB の SFDR を達成し、電力効率の指標である Walden FoM は 6.2fJ/c.s. に達します。

“A 10.0 ENOB, 6.2 fJ/conv.-step, 500 MS/s Ringamp-Based Pipelined-SAR ADC with Background Calibration and Dynamic Reference Regulation in 16nm CMOS,” J. Lagos, et al., imec



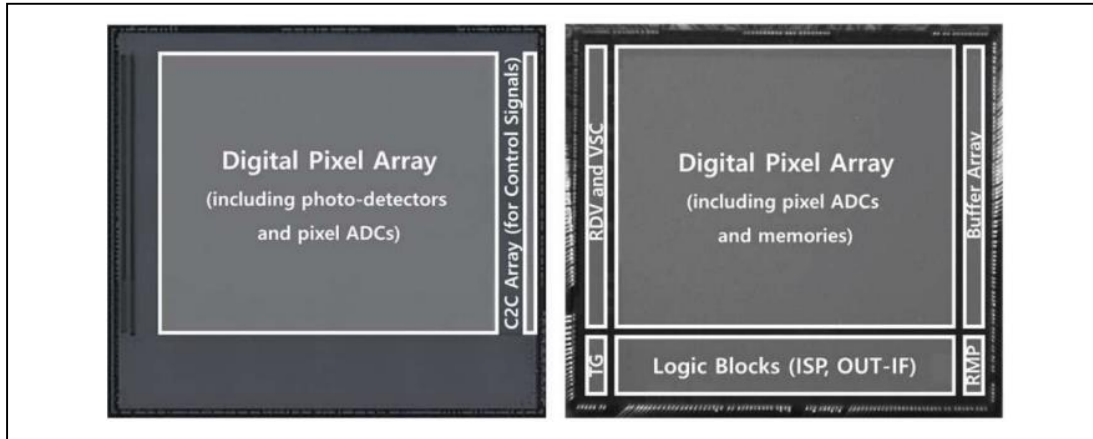
[Fig. 1] ADC のアーキテクチャ

Paper JFS4-4: Cu-to-Cu チップ接合技術によるピクセル ADC 搭載型 CMOS イメージセンサ

イメージセンサ画素アレイチップ(65nm プロセス)と信号処理・ロジックチップ(28nm プロセス)を Cu-to-Cu(C2C)接合した CMOS イメージセンサの論文です。2メガピクセルのグローバルシャッタ型イメージセンサであり、ビデオレートにおいて 116.2mW の低消費電力と 2.6 電子の二乗平均ランダムノイズレベルの性能、最高フレームレートは 960fps の性能でした。この高性能を実現するために、ピクセルごとに ADC を搭載するアーキテクチャを選択し、

Cu-to-Cu 接合でのウェハレベル積層を実現しました。ピクセルピッチは $5\mu\text{m}$ 以下であり、画素レベルの ADC+22 ビットメモリを搭載したセンサとしては最も小さいものです。

“A 2.6 e-rms Low-Random-Noise, 116.2 mW Low-Power 2-Mp Global Shutter CMOS Image Sensor with Pixel-Level ADC and In-Pixel Memory,” Min-Woong Seo, et al., Samsung



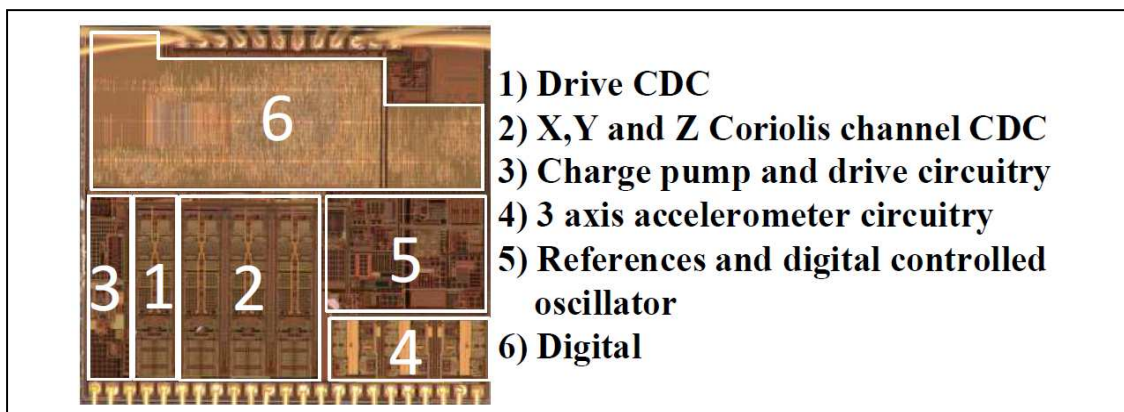
Electronics

[Fig. 5] チップ写真 (左: 上部チップ, 右: 下部チップ)

Paper C19-1: ジャイロスコープ用ワイドレンジフロントエンド回路

ロバートボッシュ社およびボッシュセンサテック社は容量型の 3 軸ジャイロスコープセンサのためのフロントエンド回路を発表します。この回路の最大の特長は従来比 4 倍に相当する、 $\pm 8000\text{deg./s}$ の大きな計測レンジです。発表された回路はノイズフロアが $0.0047\text{ deg./s}/\sqrt{\text{Hz}}$ であるなど、他の特性においても従来回路と匹敵する性能です。

“A direct-digitization open-loop gyroscope frontend with $\pm 8000^\circ/\text{s}$ full-scale range and noise floor of $0.0047^\circ/\text{s}/\sqrt{\text{Hz}}$,” Chinwuba Ezekwe, et al., Robert Bosch & Bosch Sensortec



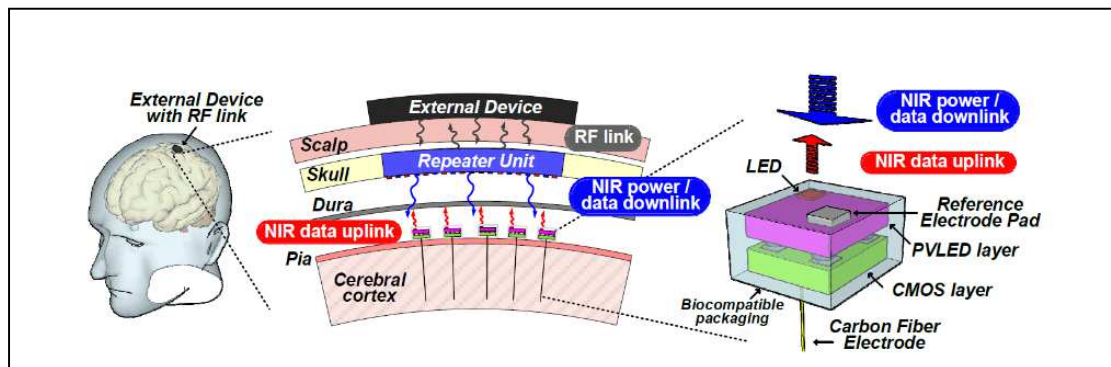
[Fig.5] チップ写真 (1.94 mm × 1.8 mm)

Biomedical Circuits

Paper C2-2: 超小型ワイヤレス脳センサ向け神経信号測定チップ

赤外線駆動型超小型脳計測デバイスに搭載するための電源管理・脳信号計測および光送信制御機能を搭載したチップです。本チップの大きな特徴は、デバイス駆動のための赤外線などの迷光に対して安定した動作を実現している点です。著者グループは本チップのデザインにおいて、パッケージを透過した光に対する高い動作安定性を実現しており、生体組織の限界である $300\mu\text{W}/\text{mm}^2$ の照射耐性を達成しました。消費電力は 38°C で $0.57\mu\text{W}$ であり、可変ゲイン制御と特徴抽出機能を搭載したスタンドアロンの脳計測デバイスでは最小となっています。

“A Light Tolerant Neural Recording IC for Near-Infrared-Powered Free Floating Motes,”
Jongyup Lim, et al., University of Michigan & ETH Zürich & University of Delaware



[Fig. 1] 赤外線駆動型ワイヤレス脳計測デバイスのコンセプト図